

具引脚可配置模拟输入范围
和 99.8dB SNR 的 18 位、
2.5Msps SAR ADC

特点

- 2.5Msps 吞吐速率
 - ± 3 LSB INL (最大值)
 - 保证 18 位，无漏失码
 - 可通过引脚配置的模拟输入范围：
 - ± 4.096 V 全差分
 - 0V 至 4.096 V 单极性伪差分
 - ± 2.048 V 双极性伪差分
 - 在 $f_{IN} = 2$ kHz 时的 SNR (典型值) : 99.8dB (全差分) / 95.2dB (伪差分)
 - 在 $f_{IN} = 2$ kHz 时的 THD (典型值) : -116dB (全差分) / -112dB (伪差分)
 - 保证运作至 125°C
 - 单 5V 电源
 - 内部 $20\text{ppm}/^{\circ}\text{C}$ (最大值) 基准
 - 内部基准缓冲器
 - 162.5mW 功耗 (在 2.5Msps)
 - 无流水线延迟，无周期延迟
 - 1.8V 至 5V I/O 电压
 - 并行和串行 I/O 接口
 - 48 引脚 $7\text{mm} \times 7\text{mm}$ LQFP 封装和 QFN 封装

应用

- 医疗成像
 - 高速、宽动态范围数据采集
 - 工业过程控制
 - 仪表
 - ATE (自动测试设备)

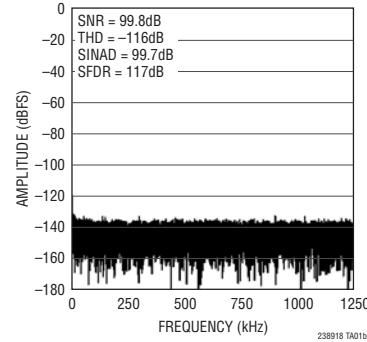
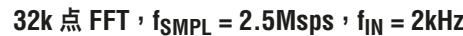
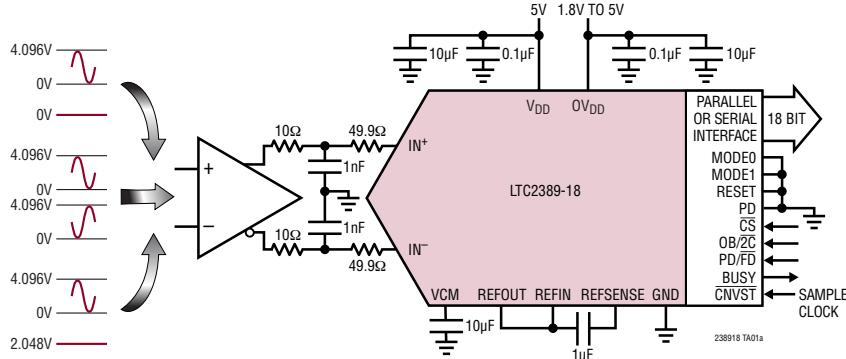
描述

LTC[®]2389-18 是一款低噪声、高速 18 位逐次逼近型寄存器 (SAR) ADC。LTC2389-18 采用单 5V 工作电源，支持可通过引脚进行配置的全差分 ($\pm 4.096\text{V}$)、单极性伪差分 (0V 至 4.096V) 和双极性伪差分 ($\pm 2.048\text{V}$) 模拟输入范围，因而使其无需额外的电平转换或信号调节功能电路即可与多种信号链路格式相连接。LTC2389-18 实现了 $\pm 3\text{LSB}$ INL (最大值)、无漏失码 (在 18 位) 和 99.8dB (全差分) / 95.2dB (伪差分) SNR (典型值)。

LTC2389-18 包括一个高精度内部 4.096V 基准，并具备 0.5% 的保证初始准确度和一个 $\pm 20\text{ppm}/^\circ\text{C}$ (最大值) 的温度系数、以及一个内部基准缓冲器。2.5Msps 的高吞吐速率和无周期延迟特性 (在并行接口模式中) 使 LTC2389-18 成为众多高速应用的理想选择。一个内部振荡器负责设定转换时间，从而缓解了外部定时方面的考虑。LTC2389-18 的功耗仅为 162.5mW (在 2.5Msps)，并提供了打盹和睡眠断电模式，旨在进一步减低待用期间的功耗。

LT、LTC、LTM、Linear Technology 和 Linear 标识是凌力尔特公司的注册商标。SoftSpan 是凌力尔特公司的商标。所有其他商标均为其各自拥有者的产权。受包括第 7705765 号美国专利的保护。

典型应用



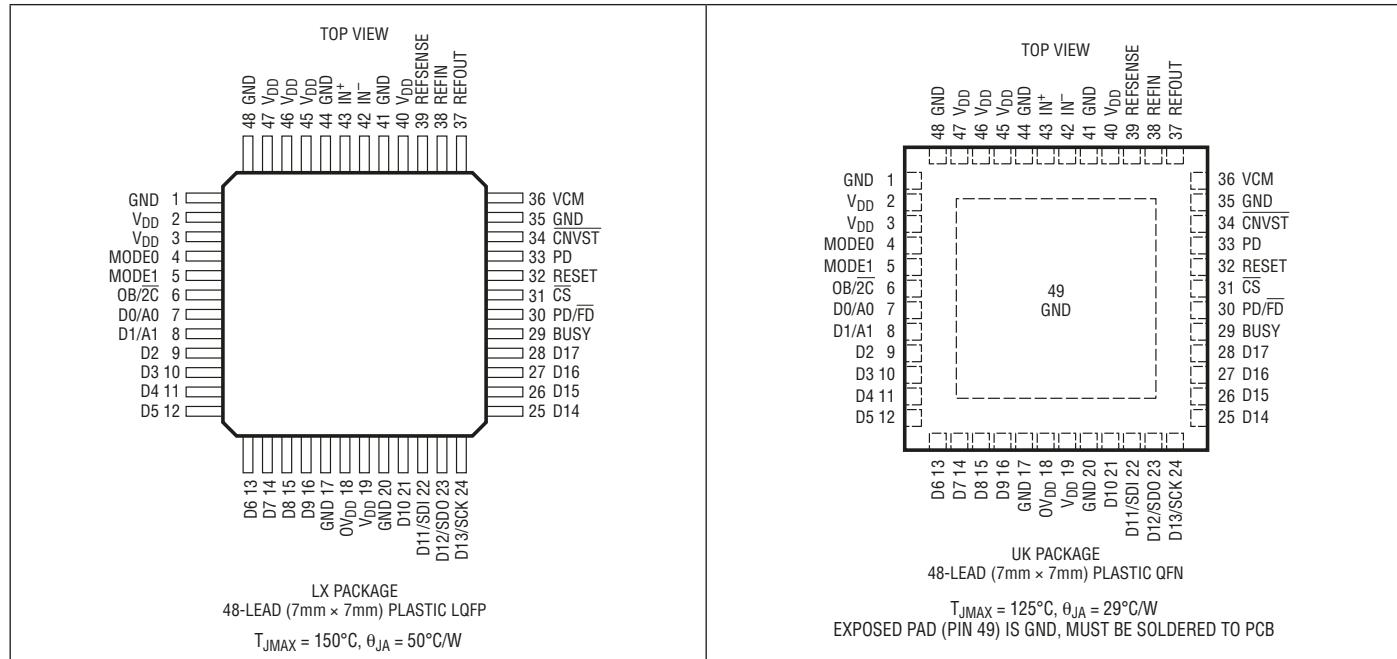
238918f

绝对最大额定值 (注 1、2)

电源电压 (V_{DD} , $0V_{DD}$)	6V
模拟输入电压 (注 3)	
IN^+ , IN^- , $REFIN$, $CNVST$	(GND – 0.3V) 至 (V_{DD} + 0.3V)
数字输入电压	
(注 3)	(GND – 0.3V) 至 ($0V_{DD}$ + 0.3V)
数字输出电压	
(注 3)	(GND – 0.3V) 至 ($0V_{DD}$ + 0.3V)
功耗	500mW

工作温度范围	
LTC2389C	0°C 至 70°C
LTC2389I	–40°C 至 85°C
LTC2389H	–40°C 至 125°C
贮存温度范围	–65°C 至 150°C
引脚温度 (焊接时间 10 秒)	
LX 封装	300°C

引脚配置



订购信息

无铅涂层	卷带	器件标记 *	封装描述	温度范围
LTC2389CUK-18#PBF	LTC2389CUK-18#TRPBF	LTC2389UK-18	48 引脚 7mm x 7mm 塑料 QFN	0°C 至 70°C
LTC2389IUK-18#PBF	LTC2389IUK-18#TRPBF	LTC2389UK-18	48 引脚 7mm x 7mm 塑料 QFN	–40°C 至 85°C
无铅涂层	托盘	器件标记 *	封装描述	温度范围
LTC2389CLX-18#PBF	LTC2389CLX-18#PBF	LTC2389LX-18	48 引脚 7mm x 7mm 塑料 QFN	0°C 至 70°C
LTC2389ILX-18#PBF	LTC2389ILX-18#PBF	LTC2389LX-18	48 引脚 7mm x 7mm 塑料 QFN	–40°C 至 85°C
LTC2389HLX-18#PBF	LTC2389HLX-18#PBF	LTC2389LX-18	48 引脚 7mm x 7mm 塑料 QFN	–40°C 至 125°C

对于比规定工作温度范围更宽的器件, 请咨询凌力尔特公司。 * 温度等级请见包装上的标识。

有关非标准的含铅涂层器件的信息, 请咨询凌力尔特公司。

如需了解更多有关无铅器件标记的信息, 请登录: <http://www.linear.com.cn/leadfree/>

如需了解更多有关卷带规格的信息, 请登录: <http://www.linear.com.cn/tapeandreel/>

模拟输入 凡标注 • 表示该指标适合整个工作温度范围，否则仅指 $T_A = 25^\circ\text{C}$ (注 4)。

符号	参数	条件	最小值	典型值	最大值	单位
V_{IN^+}	绝对输入范围 (IN^+)	(注 5)	• -0.1		$V_{REF} + 0.1$	V
V_{IN^-}	绝对输入范围 (IN^-)	全差分 (注 5) 单极性伪差分 (注 5) 双极性伪差分 (注 5)	• -0.1 • -0.1 • $V_{REF}/2 - 0.1$	0 $V_{REF}/2$	$V_{REF} + 0.1$ 0.1 $V_{REF}/2 + 0.1$	V
$V_{IN^+} - V_{IN^-}$	输入差分电压范围	全差分 单极性伪差分 双极性伪差分	• $-V_{REF}$ • 0 • $-V_{REF}/2$		V_{REF} V_{REF} $V_{REF}/2$	V
V_{CM}	输入共模电压范围	全差分	• $V_{REF}/2 - 0.1$	$V_{REF}/2$	$V_{REF}/2 + 0.1$	V
I_{IN}	模拟输入漏电流	C 级和 I 级 H 级	• -1 • -2		1 2	μA
C_{IN}	模拟输入电容	采样模式 保持模式			45 5	pF
CMRR	输入共模抑制比				70	dB
$V_{IH\bar{CNVST}}$	\bar{CNVST} 高电平输入电压		• 1.5			V
$V_{IL\bar{CNVST}}$	\bar{CNVST} 低电平输入电压		• 0.5			V
$I_{IN\bar{CNVST}}$	\bar{CNVST} 输入电流	$V_{IN} = 0\text{V}$ 至 V_{DD}	• -25		-60	μA

转换器特性 凡标注 • 表示该指标适合整个工作温度范围，否则仅指 $T_A = 25^\circ\text{C}$ (注 4)。

符号	参数	条件	最小值	典型值	最大值	单位
	分辨率		• 18			位
	无漏失码		• 18			位
	转换噪声	全差分 单极性伪差分 双极性伪差分		0.76 1.5 1.5		LSB_{RMS} LSB_{RMS} LSB_{RMS}
INL	积分线性误差	全差分 (注 6) 单极性伪差分 (注 6) 双极性伪差分 (注 6)	• -3 • -3 • -3	± 1.25 ± 1.25 ± 1.25	3 3 3	LSB
DNL	差分线性误差	全差分 单极性伪差分 双极性伪差分	• -0.9 • -0.9 • -0.9	± 0.3 ± 0.3 ± 0.3	0.9 0.9 0.9	LSB
ZSE	零标度误差	全差分 (注 7) 单极性伪差分 (注 7) 双极性伪差分 (注 7)	• -10 • -15 • -15	0 0 0	10 15 15	LSB
	零标度误差漂移			± 0.05		$\text{ppm}/^\circ\text{C}$
FSE	全标度误差	外部基准 (注 7) 内部基准 (注 7)	•		0.15 0.15	%
	全标度误差漂移				± 5	$\text{ppm}/^\circ\text{C}$

动态准确度

凡标注 • 表示该指标适合整个工作温度范围，否则仅指 $T_A = 25^\circ\text{C}$ 。 $A_{IN} = -1\text{dBFS}$ 。(注 4、8)。

符号	参数	条件	最小值	典型值	最大值	单位
SINAD	信号与 (噪声 + 失真) 之比	全差分, $f_{IN} = 2\text{kHz}$	•	97.3	99.7	dB
		单极性伪差分, $f_{IN} = 2\text{kHz}$	•	92.2	94.5	dB
		双极性伪差分, $f_{IN} = 2\text{kHz}$	•	92.7	95.1	dB
	全差分, $f_{IN} = 2\text{kHz}$ (H 级)	全差分, $f_{IN} = 2\text{kHz}$ (H 级)	•	96.6	99.7	dB
		单极性伪差分, $f_{IN} = 2\text{kHz}$ (H 级)	•	92.0	94.5	dB
		双极性伪差分, $f_{IN} = 2\text{kHz}$ (H 级)	•	92.5	95.1	dB
SNR	信噪比	全差分, $f_{IN} = 2\text{kHz}$	•	98.1	99.8	dB
		单极性伪差分, $f_{IN} = 2\text{kHz}$	•	92.7	94.6	dB
		双极性伪差分, $f_{IN} = 2\text{kHz}$	•	93.3	95.2	dB
	全差分, $f_{IN} = 2\text{kHz}$ (H 级)	全差分, $f_{IN} = 2\text{kHz}$ (H 级)	•	97.7	99.8	dB
		单极性伪差分, $f_{IN} = 2\text{kHz}$ (H 级)	•	92.5	94.6	dB
		双极性伪差分, $f_{IN} = 2\text{kHz}$ (H 级)	•	93.1	95.2	dB
THD	总谐波失真	全差分, $f_{IN} = 2\text{kHz}$, 首 5 个谐波	•	–116	–105	dB
		单极性伪差分, $f_{IN} = 2\text{kHz}$, 首 5 个谐波	•	–112	–102	dB
		双极性伪差分, $f_{IN} = 2\text{kHz}$, 首 5 个谐波	•	–111	–102	dB
	全差分, $f_{IN} = 2\text{kHz}$, 首 5 个谐波 (H 级)	全差分, $f_{IN} = 2\text{kHz}$, 首 5 个谐波 (H 级)	•	–116	–103	dB
		单极性伪差分, $f_{IN} = 2\text{kHz}$, 首 5 个谐波 (H 级)	•	–112	–102	dB
		双极性伪差分, $f_{IN} = 2\text{kHz}$, 首 5 个谐波 (H 级)	•	–111	–102	dB
SFDR	无杂散动态范围	全差分, $f_{IN} = 2\text{kHz}$	•	106	117	dB
		单极性伪差分, $f_{IN} = 2\text{kHz}$	•	102	113	dB
		双极性伪差分, $f_{IN} = 2\text{kHz}$	•	102	112	dB
	全差分, $f_{IN} = 2\text{kHz}$ (H 级)	全差分, $f_{IN} = 2\text{kHz}$ (H 级)	•	104	117	dB
		单极性伪差分, $f_{IN} = 2\text{kHz}$ (H 级)	•	102	113	dB
		双极性伪差分, $f_{IN} = 2\text{kHz}$ (H 级)	•	102	112	dB
	–3dB 输入带宽			50		MHz
	孔径延迟			0.5		ns
	孔径抖动			1		ps_{RMS}
	瞬态响应	全标度阶跃		70		ns

基准特性

凡标注 • 表示该指标适合整个工作温度范围，否则仅指 $T_A = 25^\circ\text{C}$ (注 4)。

符号	参数	条件	最小值	典型值	最大值	单位
V_{REFOUT}	内部基准电压	REFOUT 连接至 REFIN, $I_{OUT} = 0\mu\text{A}$	4.076	4.096	4.116	V
	V_{REFOUT} 温度系数	$I_{OUT} = 0\mu\text{A}$ (注 9)	•	±10	±20	$\text{ppm}/^\circ\text{C}$
	REFOUT 输出阻抗	$-0.1\text{mA} \leq I_{OUT} \leq 0.1\text{mA}$		2.3		$\text{k}\Omega$
V_{REF}	REFOUT 输入电压调整率	$V_{DD} = 4.75\text{V}$ 至 5.25V		0.3		mV/V
	转换器 REFIN 电压		4.076	4.096	4.116	V
	REFIN 输入阻抗			74		$\text{k}\Omega$
	VCM 输出电压	$I_{OUT} = 0\mu\text{A}$		2.08		V

数字输入和数字输出凡标注 • 表示该指标适合整个工作温度范围，否则仅指 $T_A = 25^\circ\text{C}$ (注 4)。

符号	参数	条件	最小值	典型值	最大值	单位
V_{IH}	高电平输入电压		• 0.8 • OV_{DD}			V
V_{IL}	低电平输入电压		• 0.2 • OV_{DD}			V
I_{IN}	数字输入电流	$V_{IN} = 0V$ 至 OV_{DD}	• -10	10		μA
C_{IN}	数字输入电容			5		pF
V_{OH}	高电平输出电压	$I_{OUT} = -500\mu\text{A}$	• $OV_{DD} - 0.2$			V
V_{OL}	低电平输出电压	$I_{OUT} = 500\mu\text{A}$	• 0.2	0.2		V
I_{OZ}	高阻抗输出漏电流	$V_{OUT} = 0V$ 至 OV_{DD}	• -10	10		μA
I_{SOURCE}	输出供电电流	$V_{OUT} = 0V$		-10		mA
I_{SINK}	输出吸收电流	$V_{OUT} = OV_{DD}$		10		mA

电源要求凡标注 • 表示该指标适合整个工作温度范围，否则仅指 $T_A = 25^\circ\text{C}$ (注 4)。

符号	参数	条件	最小值	典型值	最大值	单位
OV_{DD}	电源电压		• 4.75	5	5.25	V
OV_{DD}	电源电压		• 1.71		5.25	V
I_{DD}	内核电源电流	2.5Msps 采样速率 2.5Msps 采样速率，内部基准使能	• 32.5 34.1	36		mA
I_{OVDD}	I/O 电源电流	2.5Msps 采样速率 ($C_L = 15\text{pF}$)		1.6		mA
I_{PD}	断电电流 ($I_{VDD} + I_{OVDD}$)	转换完成， $P_D = OV_{DD}$ ，其他数字输入连接至 OV_{DD} 或 GND	• 15	250		μA
P_D	功率耗散	2.5Msps 采样速率 转换完成， $P_D = OV_{DD}$ ，其他数字输入连接至 OV_{DD} 或 GND		162.5 75	180 1250	mW μW

时序特性凡标注 • 表示该指标适合整个工作温度范围，否则仅指 $T_A = 25^\circ\text{C}$ (注 4)。

符号	参数	条件	最小值	典型值	最大值	单位
f_{SMPL}	采样频率	并行输出模式 串行输出模式	• 2.5 • 1.9			Msps
t_{CONV}	转换时间		• 245	280	310	ns
t_{ACQ}	采集时间	$t_{ACQ} = t_{CYC} - t_{CONV} - t_{BUSY LH}$ (注 10)	• 77	110		ns
t_{CYC}	$CNVST \downarrow$ 之间的时间		• 400			ns
t_{CNVSTL}	$CNVST$ 低电平时间		• 20			ns
t_{CNVSTH}	$CNVST$ 高电平时间		• 200			ns
$t_{BUSY LH}$	$CNVST \downarrow$ 至 $BUSY$ 的延迟	$C_L = 15\text{pF}$	• 13			ns
t_{RESETH}	RESET 脉冲宽度		• 200			ns
t_{SCK}	SCK 周期	(注 5, 11)	• 10			ns
t_{SCKH}	SCK 高电平时间		• 4			ns
t_{SCKL}	SCK 低电平时间		• 4			ns
t_{DSCK}	$SCK \downarrow$ 延迟 (自 $\bar{CS} \downarrow$)		• 10			ns
t_{SSDI}	SDI 建立时间 (自 $SCK \downarrow$)		• 2			ns

时序特性 凡标注 • 表示该指标适合整个工作温度范围，否则仅指 $T_A = 25^\circ\text{C}$ (注 4)。

t_{HSDI}	SDI 保持时间 (自 $SCK\downarrow$)		●	1	ns
t_{DSDO}	SDO 数据有效延迟 (自 $SCK\uparrow$)	$C_L = 15pF$	●	9	ns
t_{HSDO}	SDO 数据保持有效延迟 (自 $SCK\uparrow$)	$C_L = 15pF$	●	1	ns
t_{DDBUSY}	数据有效至 $BUSY\downarrow$	$C_L = 15pF$	●	1	ns
t_{EN}	$\overline{CS}\downarrow$ 之后的总线使能时间		●	11	ns
t_{DDA1AO}	数据有效延迟 (自 A1 或 A0 转换)	$C_L = 15pF$	●	8	ns
t_{DIS}	$\overline{CS}\uparrow$ 之后的总线释放时间		●	11	ns

注 1：高于“绝对最大额定值”部分所列数值的应力有可能对器件造成永久性的损害。在任何绝对最大额定值条件下暴露的时间过长都有可能影响器件的可靠性和使用寿命。

注 2：所有的电压值均以地电位基准。

注 3：当这些引脚的电压被拉至地电位以下或者 V_{DD} 或 OV_{DD} 以上时，它们将被内部二极管所箝位。在低于地电位或者高于 V_{DD} 或 OV_{DD} 的情况下，本产品能处理高达 100mA 的输入电流，且不会发生闭锁。

注 4 $V_{DD} = 5V$, $OV_{DD} = 5V$, $V_{REF} = 4.096V$ 外部基准, $f_{SMPL} = 2.5MHz$, 除非另有注明。

注 5：推荐的工作条件。

注 6：积分非线性被定义为一个代码相对一根穿过转移函数曲线实际端点的直线的偏离程度。该偏离是以量化频带的中心为起点进行测量的。

得的偏移电压。单极零标度误差是输出代码在 00 0000 0000 0000 0000 和 00 0000 0000 0000 0001 之间摆动时以 -0.5LSB 为起点所测得的偏移电压。双极零标度误差是输出代码在 00 0000 0000 0000 0000 和 11 1111 1111 1111 1111 之间摆动时以 -0.5LSB 为起点所测得的偏移电压。全差分全标度误差是相对于理想值的首次与末次代码转换的最坏情况偏离，并包括偏移误差的影响。单极全标度误差是相对于理想值的末次代码转换偏离。双极全标度误差是相对于理想值的首次与末次代码转换的最坏情况偏离，并包括偏移误差的影响。

注 8：所有以 dB 为单位的规格均参考于一个全标度 $\pm 4.096V$ (全差分)、0V 至 $4.096V$ (单极性伪差分) 或 $\pm 2.048V$ (双极性伪差分) 输入和一个 $4.096V$ 基准电压。

注 9：温度系数通过用输出电压的最大变化除以规定的温度范围进行计算。

注 10：由设计提供保证，未经测试。

注 11 : 10ns (最小值) 的 t_{SCK} 周期可提供一个用于上升沿捕获的高达 100MHz 的移位时钟频率。

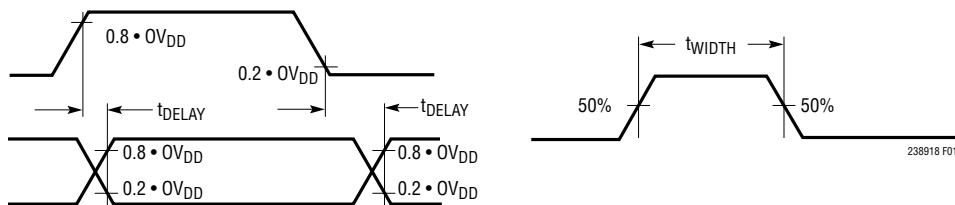
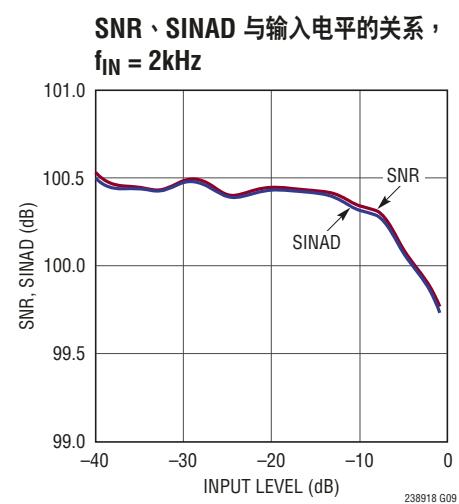
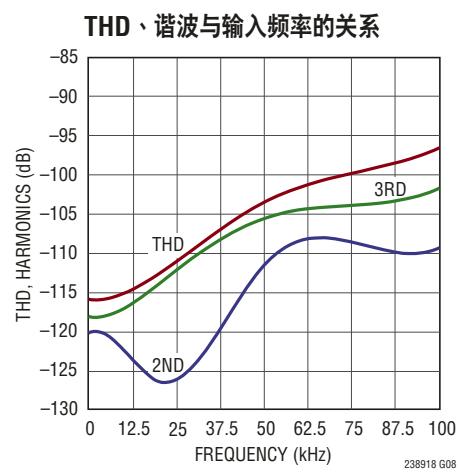
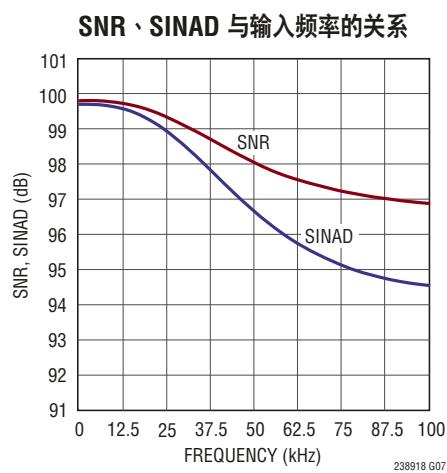
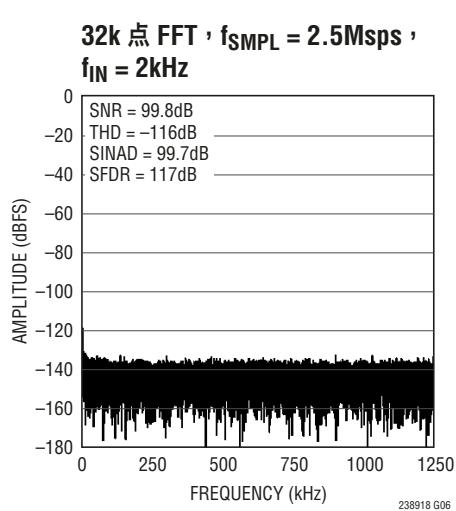
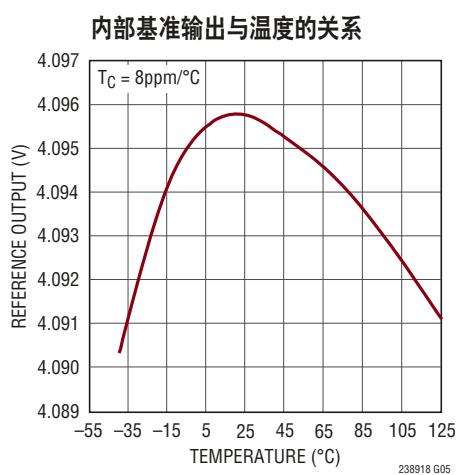
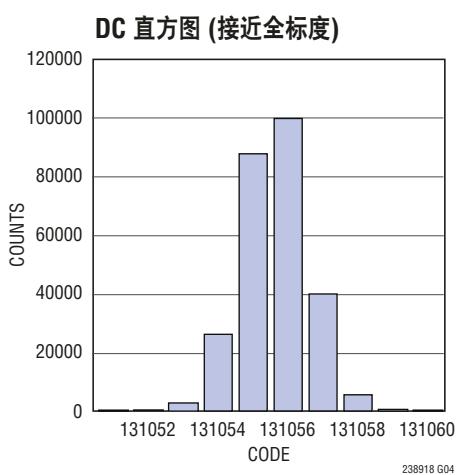
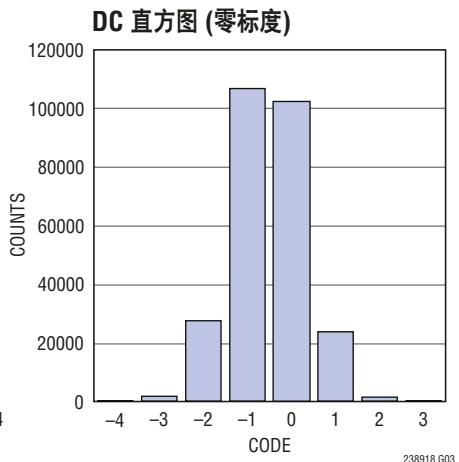
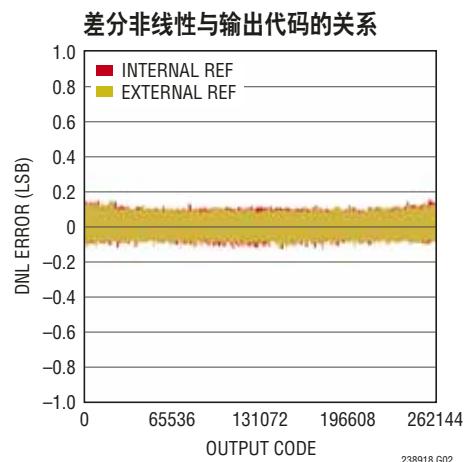
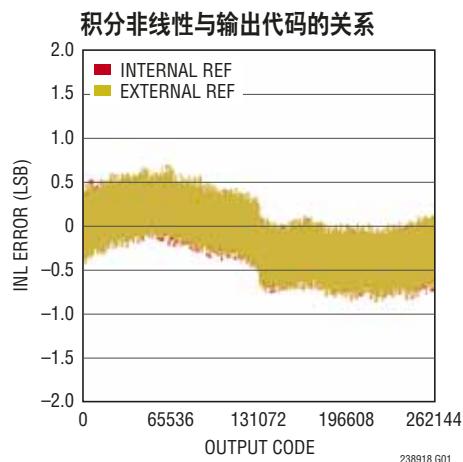
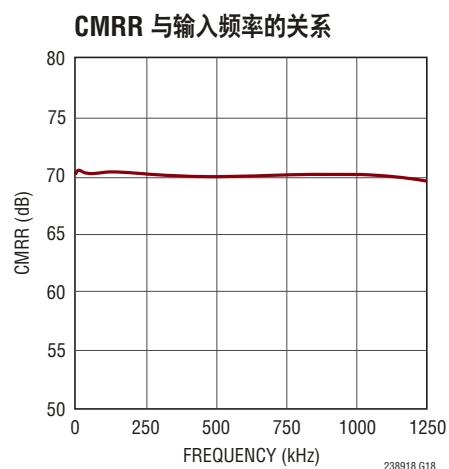
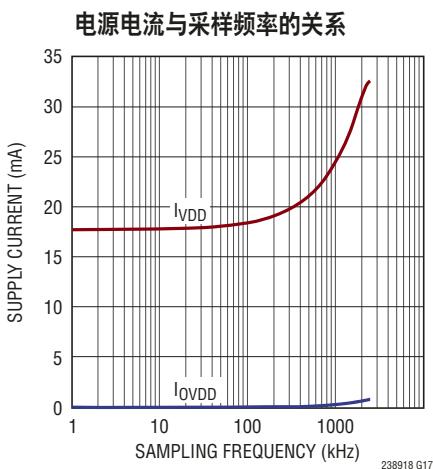
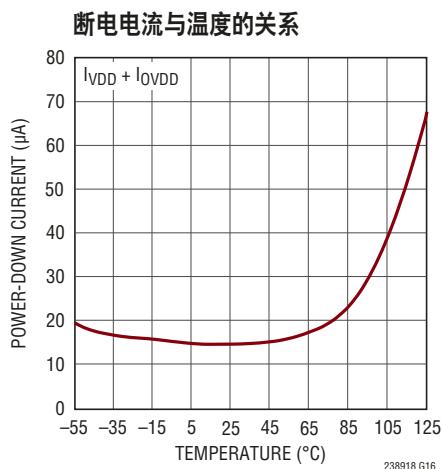
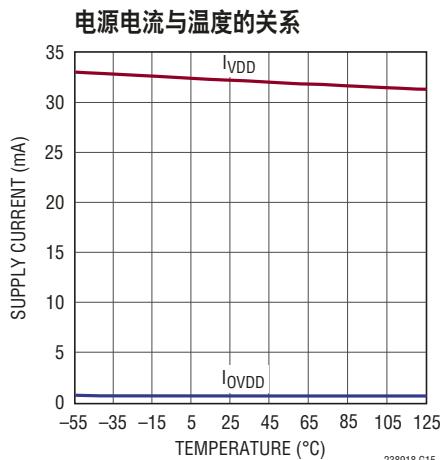
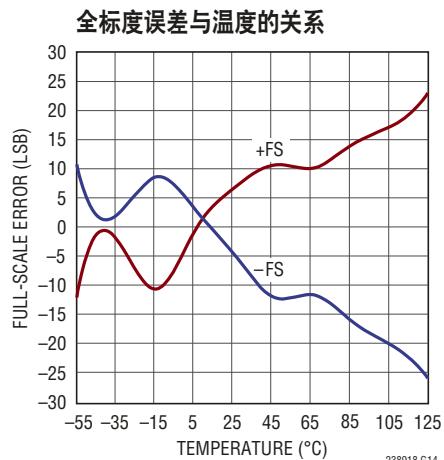
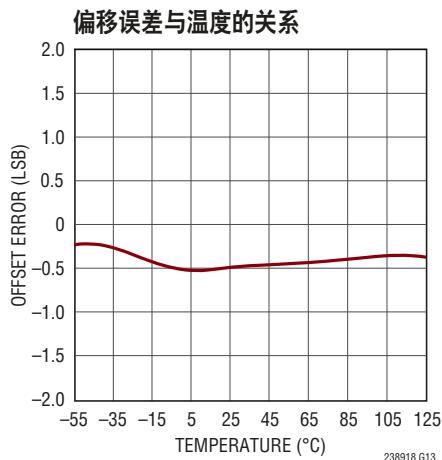
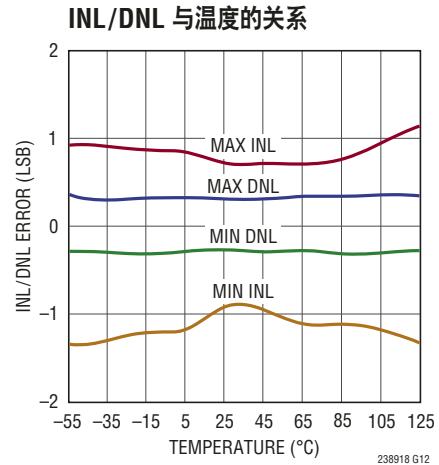
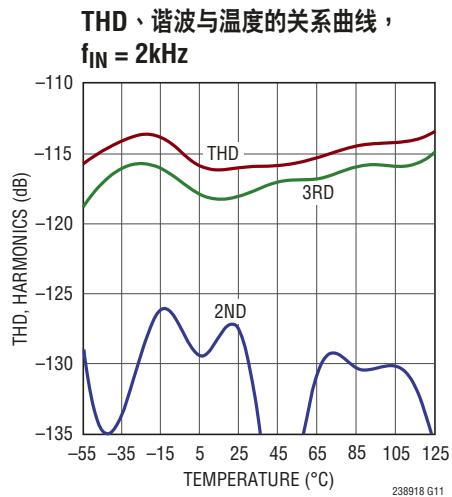
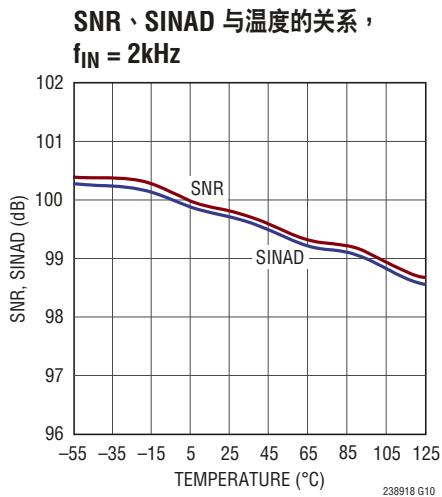


图 1：用于确定时序参数的电压电平

典型性能特征 $T_A = 25^\circ\text{C}$, $V_{DD} = 5\text{V}$, $OV_{DD} = 2.5\text{V}$, $V_{REF} = 4.096\text{V}$ 外部基准, 全差分范围 ($PD/\overline{FD} = 0\text{V}$), $V_{CM} = 2.048\text{V}$, $f_{SMPL} = 2.5\text{Msps}$, 除非特别注明。

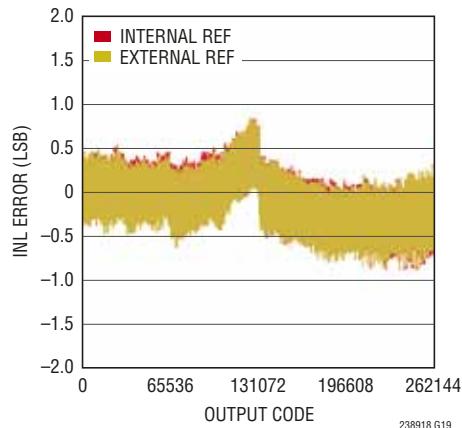


典型性能特征 $T_A = 25^\circ\text{C}$, $V_{DD} = 5\text{V}$, $OV_{DD} = 2.5\text{V}$, $V_{REF} = 4.096\text{V}$ 外部基准, 全差分范围 ($PD/\bar{FD} = 0\text{V}$), $V_{CM} = 2.048\text{V}$, $f_{SMPL} = 2.5\text{Msps}$, 除非特别注明。

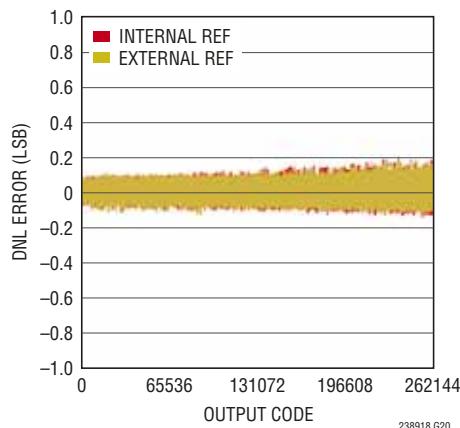


典型性能特征 $T_A = 25^\circ\text{C}$, $V_{DD} = 5\text{V}$, $OV_{DD} = 2.5\text{V}$, $V_{REF} = 4.096\text{V}$ 外部基准, 单极性伪差分范围 ($PD/\bar{FD} = OV_{DD}$), $OB/2C = OV_{DD}$, $f_{SMPL} = 2.5\text{Msps}$, 除非特别注明。

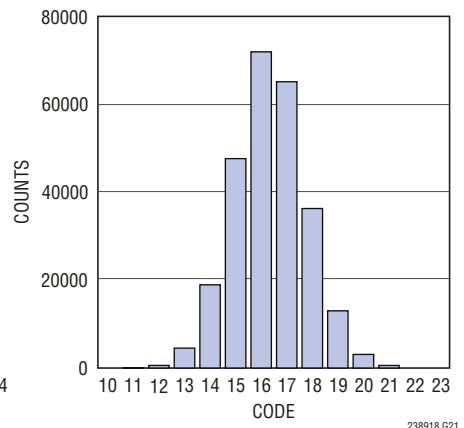
积分非线性与输出代码的关系



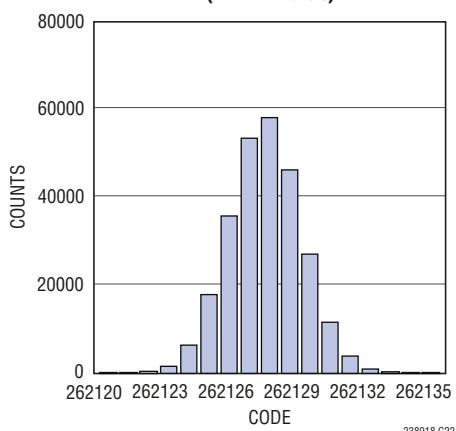
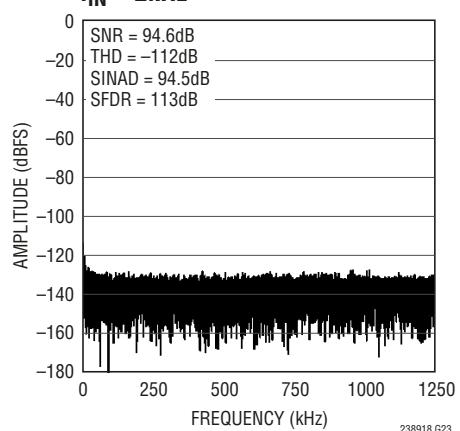
差分非线性与输出代码的关系



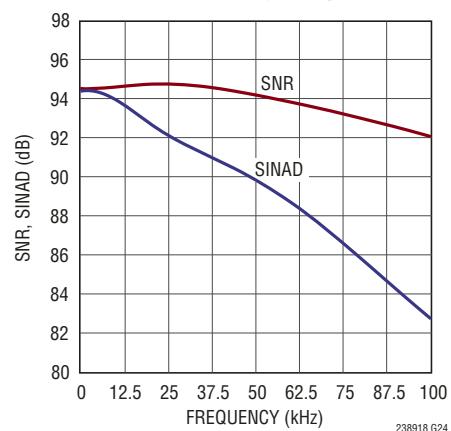
DC 直方图 (零标度)



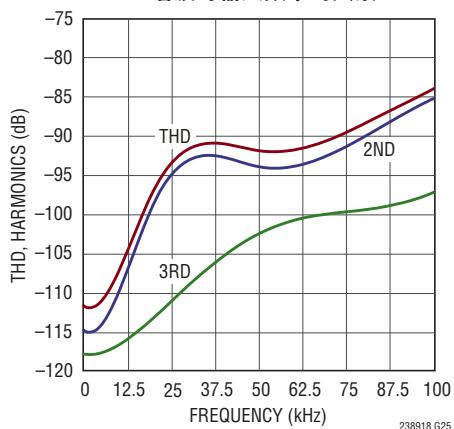
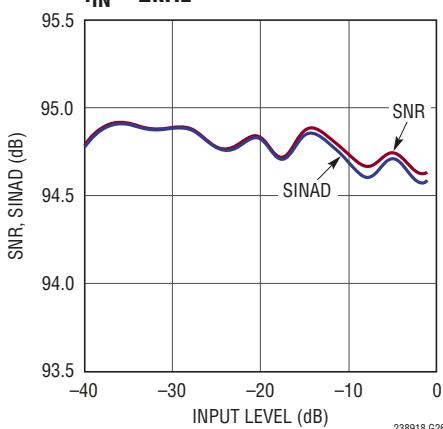
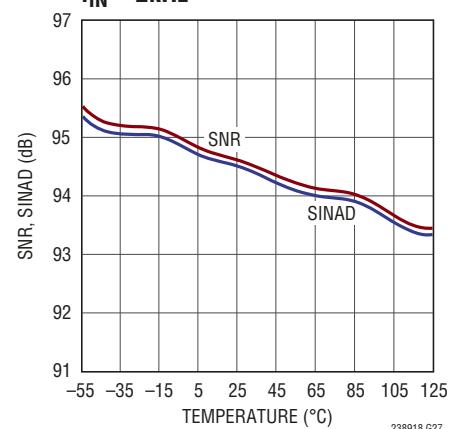
DC 直方图 (接近全标度)

32k 点 FFT, $f_{SMPL} = 2.5\text{Msps}$, $f_{IN} = 2\text{kHz}$ 

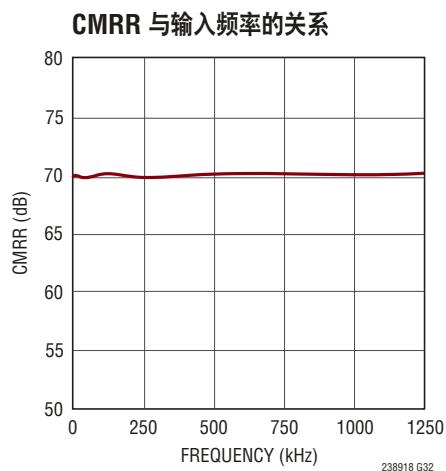
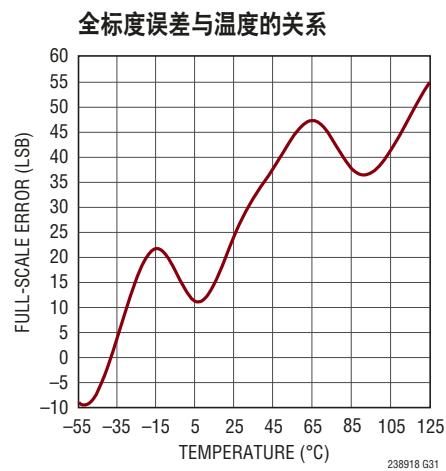
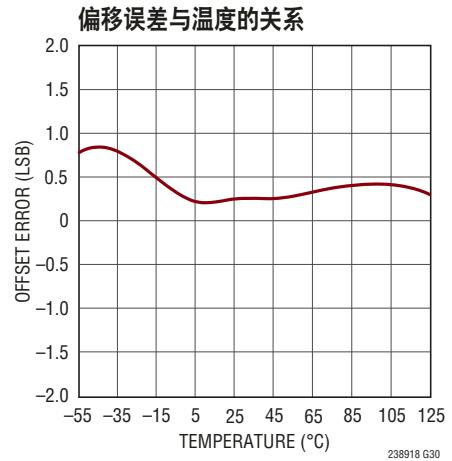
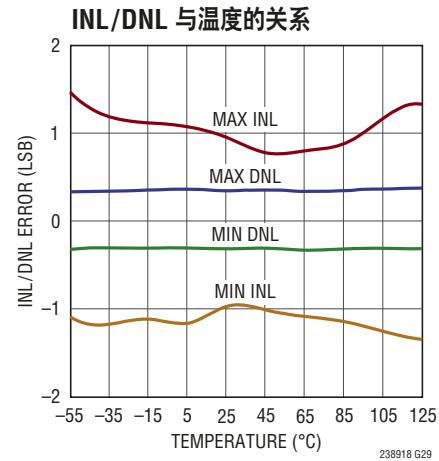
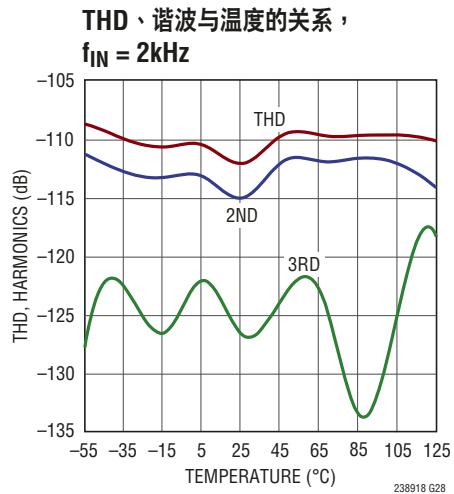
SNR、SINAD 与输入频率的关系



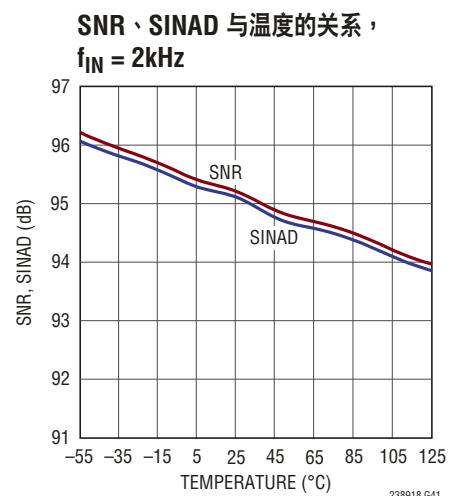
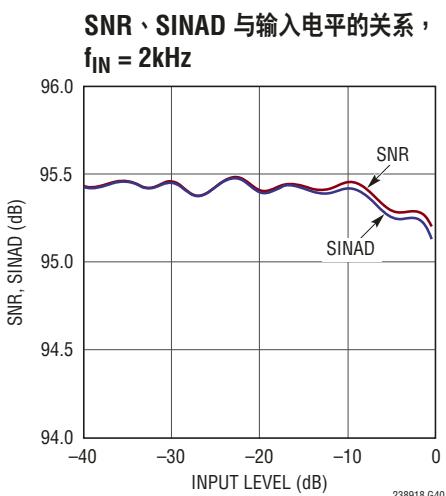
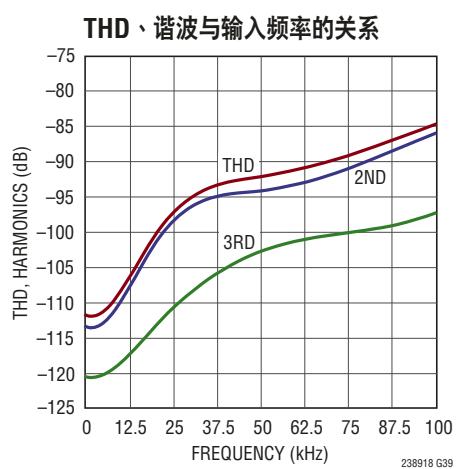
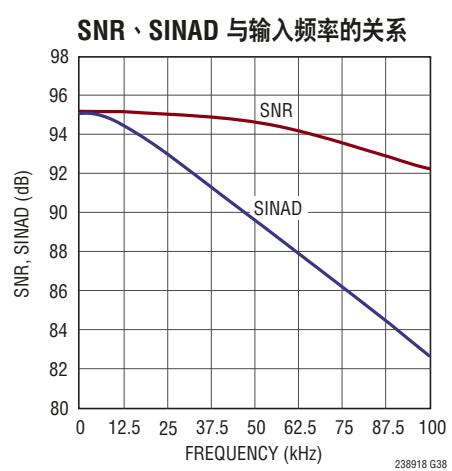
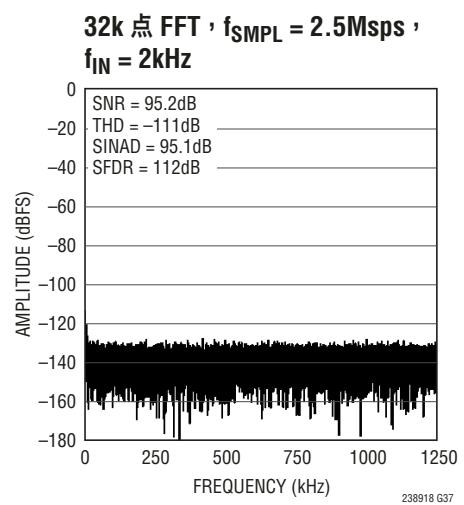
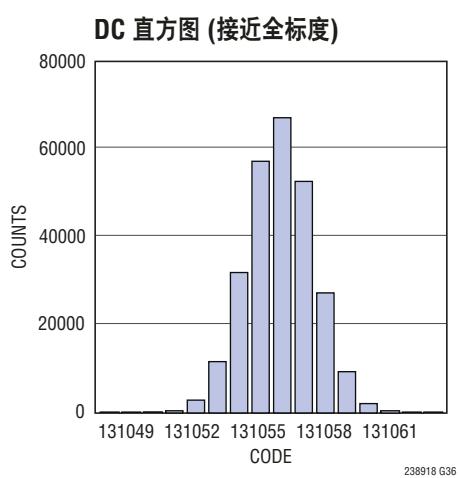
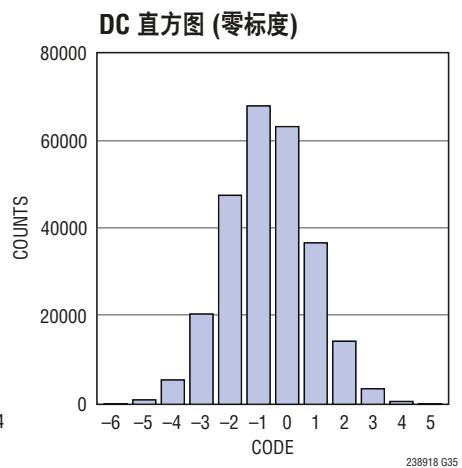
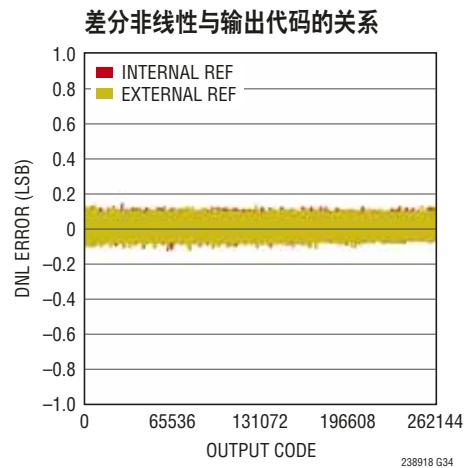
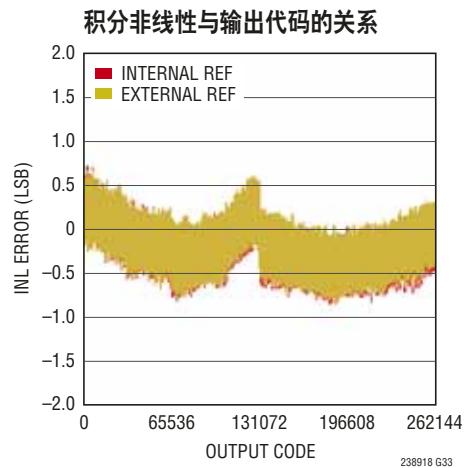
THD、谐波与输入频率的关系

SNR、SINAD 与输入电平的关系, $f_{IN} = 2\text{kHz}$ SNR、SINAD 与温度的关系, $f_{IN} = 2\text{kHz}$ 

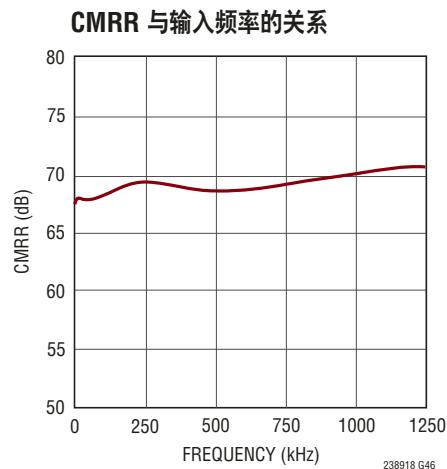
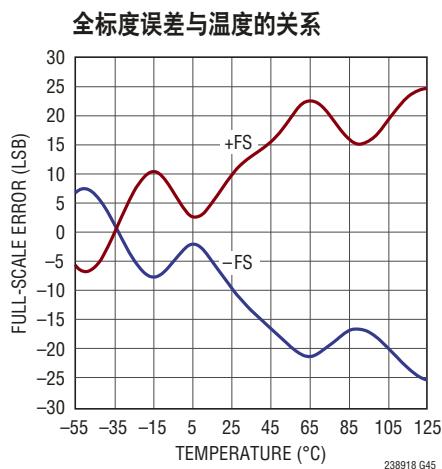
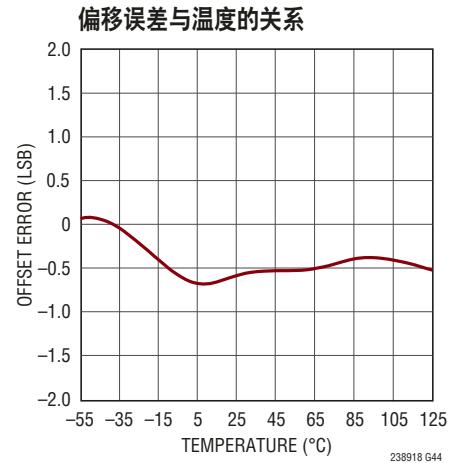
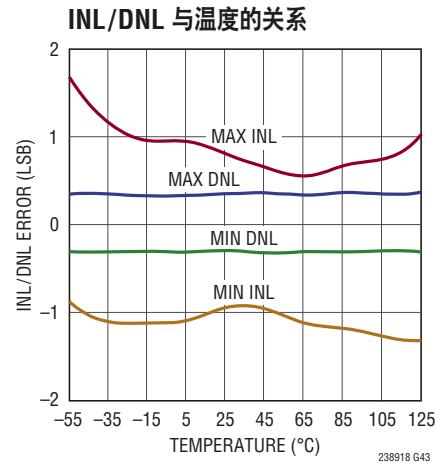
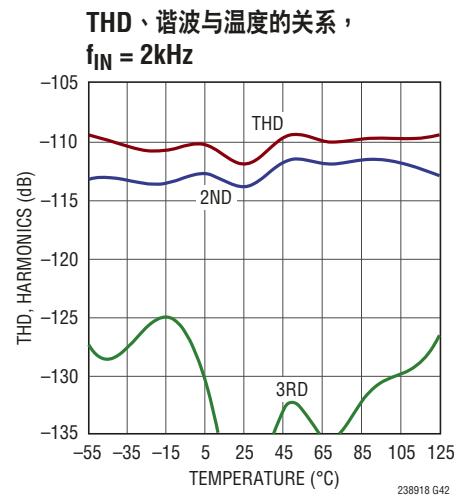
典型性能特征 $T_A = 25^\circ\text{C}$, $V_{DD} = 5\text{V}$, $OV_{DD} = 2.5\text{V}$, $V_{REF} = 4.096\text{V}$ 外部基准, 单极性伪差分范围 ($PD/\bar{FD} = OV_{DD}$, $OB/2\bar{C} = OV_{DD}$), $f_{SAMPL} = 2.5\text{Msps}$, 除非特别注明。



典型性能特征 $T_A = 25^\circ\text{C}$, $V_{DD} = 5\text{V}$, $0V_{DD} = 2.5\text{V}$, $V_{REF} = 4.096\text{V}$ 外部基准, 双极性伪差分范围 ($\text{PD}/\overline{\text{FD}} = 0V_{DD}$), $\text{OB}/\overline{\text{OC}} = 0V_{DD}$), $f_{\text{SMPL}} = 2.5\text{Msps}$, 除非特别注明。



典型性能特征 $T_A = 25^\circ\text{C}$, $V_{DD} = 5\text{V}$, $OV_{DD} = 2.5\text{V}$, $V_{REF} = 4.096\text{V}$ 外部基准, 双极性伪差分范围 ($PD/\bar{FD} = OV_{DD}$, $OB/2\bar{C} = OV_{DD}$), $f_{SMPLE} = 2.5\text{Msps}$, 除非特别注明。



引脚功能

GND (引脚 1、17、20、35、41、44、48、裸露底部焊盘引脚 49 [仅限 QFN 封装])：地。将所有的 GND 引脚和裸露底部焊接至接地平面。

V_{DD} (引脚 2、3、19、40、45、46、47)：5V 电源。V_{DD} 的范围为 4.75V 至 5.25V。通过一个靠近每个引脚的 0.1μF 陶瓷电容器和一个 10μF 的并联陶瓷电容器将 V_{DD} 网络旁路至 GND。

MODE0、MODE1 (引脚 4、引脚 5)：数据总线配置输入。这些引脚决定转换结果在数据总线的输出方式。根据 MODE = MODE[1:0] 的状态，可配置总线以提供 18 位并行 (MODE = 00)、16 位并行 (MODE = 01)、8 位并行 (MODE = 10) 或串行 (MODE = 11) 数据，如表 1 中所述。在某种特定模式中不工作的数字输出变至高阻抗。逻辑电平由 OV_{DD} 决定。如需了解 LTC238x 系列 16 位版本器件引脚兼容性的相关信息，请查阅“与 LTC238x-16 的引脚兼容性”部分。

OB/2C (引脚 6)：偏移二进制/二进制补码输入。该引脚和引脚 30 (PD/FD) 一起负责控制转换器的模拟输入范围以及转换结果的二进制格式，如表 2 所述。逻辑电平由 OV_{DD} 决定。

D0/A0 (引脚 7)：数据位 0/地址位 0。当 MODE = 00 时，该引脚为并行数据输出总线的位 0。当 MODE = 01 或 10 时，该引脚为并行地址输入总线的位 0，此时由二进制地址 A[1:0] 决定在输出数据总线的高位上驱动转换结果的哪一段，如表 1 所述。逻辑电平由 OV_{DD} 决定。如需了解 LTC238x 系列 16 位版本器件引脚兼容性的相关信息，请查阅“与 LTC238x-16 的引脚兼容性”部分。

D1/A1 (引脚 8)：数据位 1/地址位 1。当 MODE = 00 时，该引脚为并行数据输出总线的位 1。当 MODE = 01 或 10 时，该引脚为并行地址输入总线的位 1，此时由二进制地址 A[1:0] 决定在输出数据总线的高位上驱动转换结果的哪一段，如表 1 所述。逻辑电平由 OV_{DD} 决定。如需了解 LTC238x 系列 16 位版本器件引脚兼容性的相关信息，请查阅“与 LTC238x-16 的引脚兼容性”部分。

D2 (引脚 9)：数据位 2。当 MODE = 00 或 01 时，该引脚为并行数据输出总线的位 2，如表 1 中所述。逻辑电平由 OV_{DD} 决定。

D3 (引脚 10)：数据位 3。当 MODE = 00 或 01 时，该引脚为并行数据输出总线的位 3，如表 1 中所述。逻辑电平由 OV_{DD} 决定。

D4 (引脚 11)：数据位 4。当 MODE = 00 或 01 时，该引脚为并行数据输出总线的位 4，如表 1 中所述。逻辑电平由 OV_{DD} 决定。

D5 (引脚 12)：数据位 5。当 MODE = 00 或 01 时，该引脚为并行数据输出总线的位 5，如表 1 中所述。逻辑电平由 OV_{DD} 决定。

D6 (引脚 13)：数据位 6。当 MODE = 00 或 01 时，该引脚为并行数据输出总线的位 6，如表 1 中所述。逻辑电平由 OV_{DD} 决定。

D7 (引脚 14)：数据位 7。当 MODE = 00 或 01 时，该引脚为并行数据输出总线的位 7，如表 1 中所述。逻辑电平由 OV_{DD} 决定。

D8 (引脚 15)：数据位 8。当 MODE = 00 或 01 时，该引脚为并行数据输出总线的位 8，如表 1 中所述。逻辑电平由 OV_{DD} 决定。

D9 (引脚 16)：数据位 9。当 MODE = 00 或 01 时，该引脚为并行数据输出总线的位 9，如表 1 中所述。逻辑电平由 OV_{DD} 决定。

OV_{DD} (引脚 18)：I/O 接口电源。OV_{DD} 的范围为 1.71V 至 5.25V。通过一个 0.1μF 和一个并联的 10μF 陶瓷电容器将 OV_{DD} 旁路至靠近该引脚的 GND。

D10 (引脚 21)：数据位 10。当 MODE = 00、01 或 10 时，该引脚为并行数据输出总线的位 10，如表 1 中所述。逻辑电平由 OV_{DD} 决定。

D11/SDI (引脚 22)：数据位 11/串行数据输入。当 MODE = 00、01 或 10 时，该引脚是并行数据输出总线的

引脚功能

位 11，如表 1 中所述。当 MODE = 11 时，该引脚为串行数据输入，其可用于在单个 SDO 线路上对两个或更多的转换器进行菊花链式连接。SDI 上的数字数据电平在 SDO 上延迟输出 (延迟 = 读序列开始之后的 18 个 SCK 周期)。逻辑电平由 OV_{DD} 决定。

D12/SD0 (引脚 23)：数据位 12 / 串行数据输出。当 MODE = 00、01 或 10 时，该引脚是并行数据输出总线的位 12，如表 1 中所述。当 MODE = 11 时，该引脚为串行数据输出线，按照 SCK 的时钟以串行方式输出最近一个转换的结果。数据在 SCK 的上升沿按 MSB 优先的方式输出。数据格式由引脚 PD/FD 和 OB/2C 的逻辑电平决定，如表 2 中所述。逻辑电平由 OV_{DD} 决定。

D13 / SCK (引脚 24)：数据位 13 / 串行时钟输入。当 MODE = 00、01 或 10 时，该引脚是并行数据输出总线的位 13，如表 1 中所述。当 MODE = 11 时，该引脚为串行时钟输入。逻辑电平由 OV_{DD} 决定。

D14 (引脚 25)：数据位 14。当 MODE = 00、01 或 10 时，该引脚为并行数据输出总线的位 14，如表 1 中所述。逻辑电平由 OV_{DD} 决定。

D15 (引脚 26)：数据位 15。当 MODE = 00、01 或 10 时，该引脚为并行数据输出总线的位 15，如表 1 中所述。逻辑电平由 OV_{DD} 决定。

D16 (引脚 27)：数据位 16。当 MODE = 00、01 或 10 时，该引脚为并行数据输出总线的位 16，如表 1 中所述。逻辑电平由 OV_{DD} 决定。

D17 (引脚 28)：数据位 17。当 MODE = 00、01 或 10 时，该引脚为并行数据输出总线的位 17，如表 1 中所述。逻辑电平由 OV_{DD} 决定。

BUSY (引脚 19)：忙状态输出。该引脚在每个转换的起点从低电平转换至高电平，并保持高电平直到转换完成为止。BUSY 的下降沿可用作数据就绪时钟信号。逻辑电平由 OV_{DD} 决定。

PD/FD (引脚 30)：伪差分 / 全差分输入。该引脚和引脚 6 (OB/2C) 一起控制转换器的模拟输入范围和转换结果的二进制格式，如表 2 中所述。逻辑电平由 OV_{DD} 决定。

CS (引脚 31)：芯片选择输入。当 CS 为低电平时，数据 I/O 总线被使能；当 CS 为高电平时，数据 I/O 总线变为高阻态。CS 还负责选通外部移位时钟。逻辑电平由 OV_{DD} 决定。

RESET (引脚 32)：复位输入。当该引脚被拉至高电平时，LTC2389-18 复位。如果这种情况发生在某个转换过程当中，则该转换暂停，且数据总线变至高阻抗。逻辑电平由 OV_{DD} 决定。

表 1：数据总线配置表。采用输入 MODE1 和 MODE0 以根据应用总线宽度来选择总线配置。在 16 位和 8 位并行配置中，输入 D1/A1 和 D0/A0 负责控制转换结果 R[17:0] 至数据总线引脚 D[17:2] 的映射。阴影单元表示的是被配置为输入的双向引脚。

总线配置	MODE1	MODE2	D[17:16]	D[15:14]	D13	D12	D11	D10	D[9:4]	D[3:2]	D1/A1	D0/A0		
18 位并行	0	0	R[17:0]											
16 位并行	0	1	R[17:2]						X		0			
			全部为“0”						R[1:0]		0			
			R[1:0]						全部为“0”		1			
8 位并行	1	0	R[17:10]						全部为高阻抗		0			
			全部为“0”				R[1:0]		全部为高阻抗		0			
			R[9:2]						全部为高阻抗		1			
			R[1:0]		全部为“0”						全部为高阻抗			
串行	1	1	全部为高阻抗			SCK	SDO	SDI	全部为高阻抗					

引脚功能

PD (引脚 33)：断电输入。当该引脚被拉至高电平时，LTC2389-18 断电且后续的转换请求被忽略。在启用断电之前，应读出最后一个转换的结果。逻辑电平由 V_{DD} 决定。

CNVST (引脚 34)：转换起动输入。该引脚上的一个下降沿将内部采样及保持电路置于保持模式，并起动一个转换。 \overline{CNVST} 与 \overline{CS} 无关。逻辑电平由 V_{DD} 决定。

VCM (引脚 36)：共模模拟输出。该引脚上的输出电压通常为 2.08V。通过一个 $10\mu\text{A}$ 电容器旁路至 GND。

REFOUT (引脚 37)：内部基准输出。如果采用内部基准，则把该引脚连接至 **REFIN**，从而提供一个 4.096V 的标称基准电压。倘若采用一个外部基准，则将 **REFOUT** 连接至地以使内部基准断电。

REFIN (引脚 38)：基准输入。如果采用内部基准，则把该引脚连接至 **REFOUT**，从而提供一个 4.096V 的标称基准电压。假如需要一个更准确的基准，则可把一个外部基准施加至 **REFIN**。如果采用一个外部基准，则将 **REFOUT** 连接至地以使内部基准断电。如需增加基准噪声滤波，可采用一个 $1\mu\text{F}$ 或更大的陶瓷电容器把该引脚旁路至 **REFSENSE**。

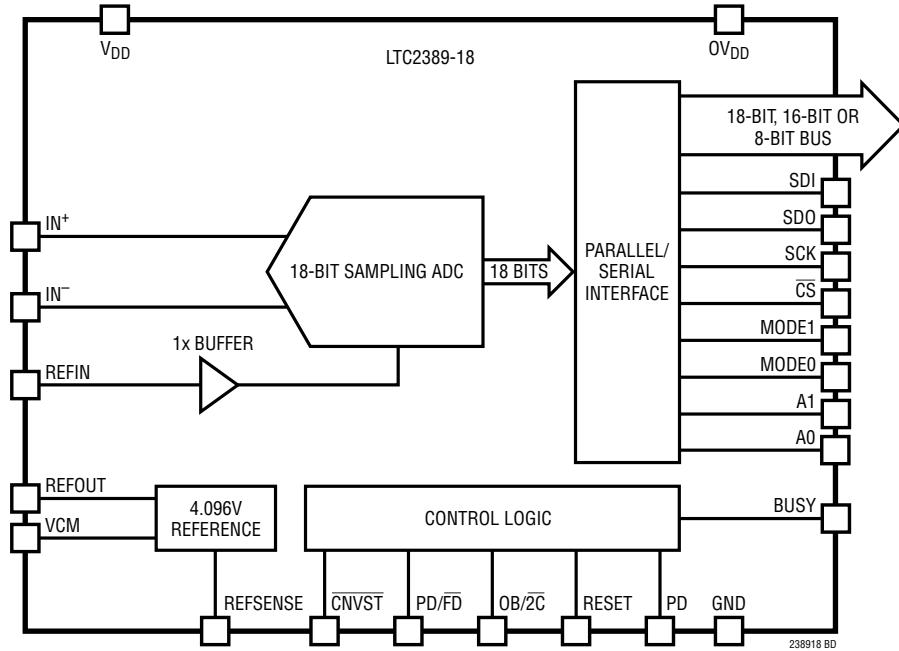
REFSENSE (引脚 39)：基准输入检测。当采用内部基准时，不要把 **REFSENSE** 引脚连接至地。假如使用一个外部基准，则将 **REFSENSE** 连接至外部基准的接地引脚。

IN⁻、IN⁺ (引脚 42、43)：负和正模拟输入。如表 2 中所述，模拟输入范围取决于施加至引脚 30 (PD/FD) 和引脚 6 (OB/2C) 的电平。

表 2：模拟输入范围和输出二进制格式配置表。采用输入 **PD/FD** 和 **OB/2C** 以选择转换器模拟输入范围和转换结果的二进制格式。

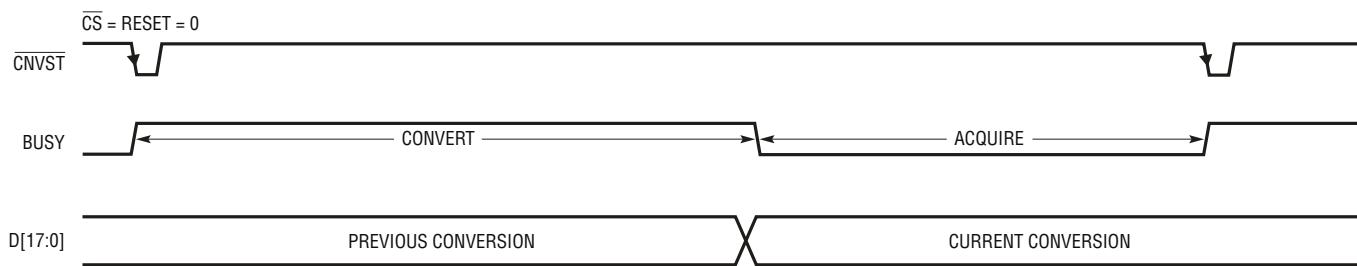
PD/FD	OB/2C	模拟输入范围	转换结果的二进制格式
0	0	全差分	二进制补码
0	1	全差分	偏移二进制
1	0	双极性伪差分	二进制补码
1	1	单极性伪差分	标准二进制

功能方框图

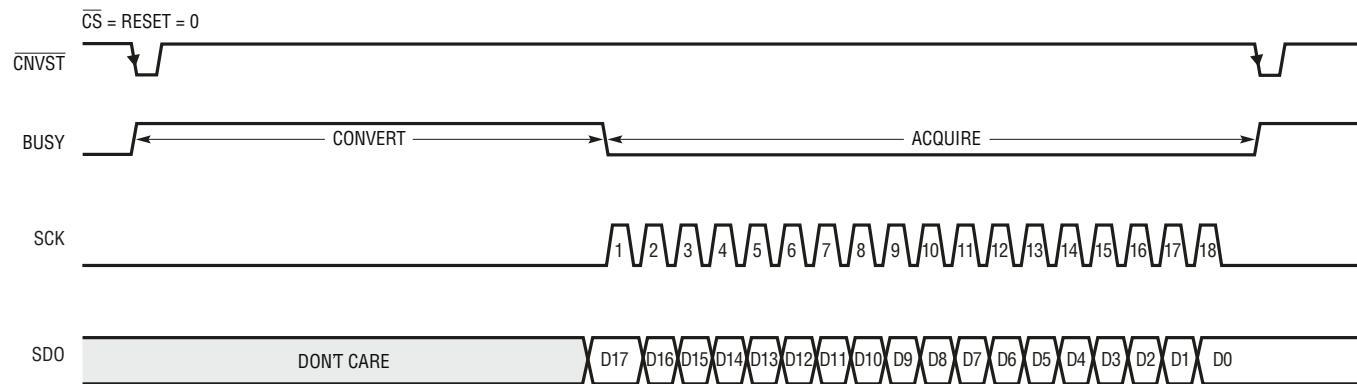


时序图

采用并行接口的转换时序



采用串行接口的转换时序



238918 TD01

238918f

应用信息

概述

LTC2389-18 是一款低噪声、高速 18 位逐次逼近寄存器 (SAR) ADC。LTC2389-18 采用单 5V 工作电源，支持可通过引脚进行配置的全差分 ($\pm 4.096V$)、单极性伪差分 (0V 至 $4.096V$) 和双极性伪差分 ($\pm 2.048V$) 模拟输入范围，因而使其无需额外的电平转换或信号调节功能电路即可与多种信号链路格式相连接。LTC2389-18 实现了 $\pm 3\text{LSB}$ INL (最大值)、无漏失码 (在 18 位) 和 99.8dB (全差分) / 95.2dB (伪差分) SNR (典型值)。

LTC2389-18 包括一个高精度内部 $4.096V$ 基准，并具备 0.5% 的保证初始准确度和一个 $\pm 20\text{ppm}/^\circ\text{C}$ (最大值) 的温度系数、以及一个内部基准缓冲器。2.5Msps 的高吞吐速率和无周期延迟特性 (在并行接口模式中) 使 LTC2389-18 成为众多高速应用的理想选择。一个内部振荡器负责设定转换时间，从而缓解了外部定时方面的考虑。LTC2389-18 的功耗仅为 162.5mW (在 2.5Msps)，并提供了打盹和睡眠断电模式，旨在进一步减低待用期间的功耗。

转换器操作

LTC2389-18 有两个工作阶段。在采集阶段中，电荷再分配电容器 D/A 转换器 (CDAC) 连接至 IN^+ 和 IN^- 引脚，以对差分模拟输入电压进行采样。 CNVST 引脚上的下降沿将启动一个转换。在转换阶段，利用一种逐次逼近算法对 18 位 CDAC 进行排序，并采用差分比较器对采样输入与基准电压的二进制加权分数 (例如： $\text{V}_{\text{REF}}/2$ ， $\text{V}_{\text{REF}}/4 \dots \text{V}_{\text{REF}}/262144$) 进行有效的比较。转换结束时，CDAC 输出逼近于采样模拟输入。接著，ADC 控制逻辑为并行或串行传输准备 18 位数字输出代码。

转移函数

LTC2389-18 将全差分模式中的 $2 \cdot \text{V}_{\text{REF}}$ 及伪差分模式中的 V_{REF} 全标度电压数字化为 2^{18} 个电平。当 $\text{V}_{\text{REF}} = 4.096V$ 时，全差分和伪差分模式中的最终 LSB 大小分别为 $31.25\mu\text{V}$ 和 $15.625\mu\text{V}$ 。转换结果的二进制格式取决于引脚 PD/FD 和 OB/OC 上的逻辑电平，如表 2 中所述。理想的二进制补码转移函数示于图 2，而理想的标准二进制转移函数则示于图 3。理想的偏移二进制转移函数可通过反转每个输出代码的最高有效位 (MSB) 从二进制补码转移函数获得。

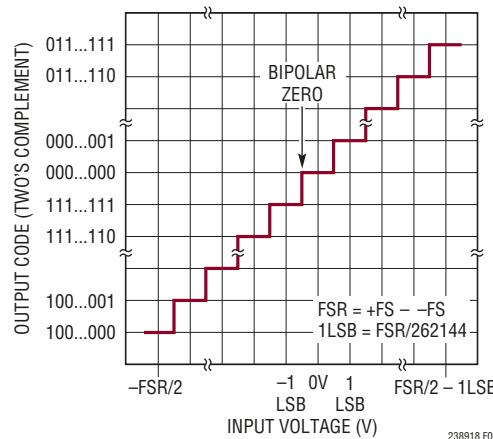


图 2 : LTC2389-18 二进制补码转移函数。偏移二进制转移函数可通过反转每个输出代码的最高有效位 (MSB) 获得。

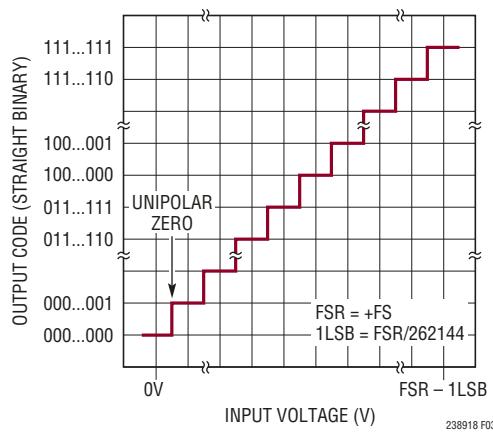


图 3 : LTC2389-18 标准二进制转移函数

应用信息

模拟输入

LTC2389-18 的模拟输入可通过引脚进行配置以接受三种输入电压范围之一：全差分 ($\pm 4.096V$)、单极性伪差分 ($0V$ 至 $4.096V$) 和双极性伪差分 ($\pm 2.048V$)。在所有这三种范围内，ADC 负责对两个模拟输入引脚之间的电压差 ($IN^+ - IN^-$) 进行采样和数字化，而且 ADC 的共模抑制比 (CMRR) 可对两个输入所共有的任何干扰信号进行抑制。模拟输入可以采用图 4 所示的等效电路来模拟，这与选定的输入电压范围无关。输入端上的二极管用于提供 ESD 保护。在采集阶段中，每个输入都具有串联的约 $40pF$ (C_{IN}) 电容和 40Ω (R_{IN}) 电阻，前者来自采样 CDAC，而后者则来自采样开关的导通电阻。在采集期间，输入吸收一个电流尖峰并对 C_{IN} 电容器进行充电。在转换期间，模拟输入仅吸收很小的漏电流。

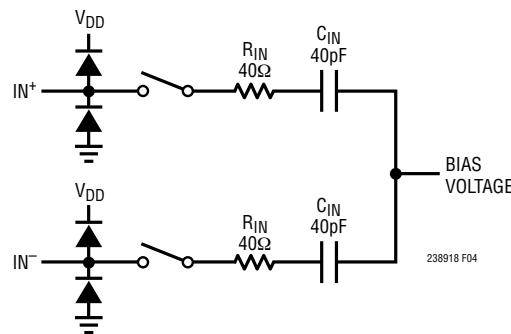


图 4 : LTC2389-18 差分模拟输入的等效电路

全差分输入范围

全差分输入范围提供了最宽的输入信号摆幅，并配置 ADC 在一个 ($\pm V_{REF}$) 的范围内对差分模拟输入电压 ($IN^+ - IN^-$) 进行数字化处理。在该范围内， IN^+ 和 IN^- 引脚的驱动应彼此相差 180° ，并以一个被限制在 ($V_{REF}/2 \pm 0.1V$) 的共模电压 ($IN^+ + IN^-$) / 2 为中心。 IN^+ 和 IN^- 引脚允许的摆动范围均为 ($GND - 0.1V$) 至 ($V_{REF} + 0.1V$)。两个输入所共有的干扰信号利用 ADC 的 CMRR 进行抑制。

单极性伪差分输入范围

在单极性伪差分输入范围内，ADC 在一个 ($0V$ 至 V_{REF}) 的范围内对差分模拟输入电压 ($IN^+ - IN^-$) 进行数字化处理。在该范围内，相对于在 IN^- 引脚上驱动的信号地基准电平来测量在 IN^+ 引脚上驱动的一个单端单极输入信号。 IN^+ 引脚允许的摆动范围为 ($GND - 0.1V$) 至 ($V_{REF} + 0.1V$)，而 IN^- 引脚则被限制于 ($GND \pm 0.1V$)。两个输入所共有的干扰信号利用 ADC 的 CMRR 进行抑制。

双极性伪差分输入范围

在双极性伪差分输入范围内，ADC 在一个 ($\pm V_{REF}/2$) 的范围内对差分模拟输入电压 ($IN^+ - IN^-$) 进行数字化处理。在该范围内，相对于在 IN^- 引脚上驱动的信号中间标度基准电平来测量在 IN^+ 引脚上驱动的一个单端双极输入信号。 IN^+ 引脚允许的摆动范围为 ($GND - 0.1V$) 至 ($V_{REF} + 0.1V$)，而 IN^- 引脚则被限制于 ($V_{REF}/2 \pm 0.1V$)。两个输入所共有的干扰信号利用 ADC 的 CMRR 进行抑制。

输入驱动电路

一个低阻抗信号源能直接驱动 LTC2389-18 的高阻抗输入，而不会产生增益误差。应该对一个高阻抗信号源进行缓冲，以最大限度地缩减采集期间的稳定时间，并优化 ADC 的失真性能。尽量缩短稳定时间即使对于 DC 输入也很重要，这是因为 ADC 输入在进入采集阶段时将吸收一个电流尖峰。

为了获得最佳性能，应采用一个缓冲放大器来驱动 LTC2389-18 的模拟输入。该放大器提供了低输出阻抗，从而在采集阶段中实现了模拟信号的快速稳定。另外，当进入采集阶段时，它还在信号源与 ADC 输入所吸收的电流尖峰之间提供了隔离。

应用信息

输入滤波

必须考虑缓冲放大器和其他支持电路的噪声与失真，因为它们会导致 ADC 噪声和失真的增加。必须选择一个具低噪声密度的缓冲放大器以最大限度地抑制 SNR 性能的劣化。应在缓冲器输出与 ADC 输入之间布设一个滤波器网络，旨在最大限度地降低缓冲器所产生的噪声，并抑制因 ADC 采样瞬变而反射至缓冲器中的扰动。对于许多应用而言，使用一个简单的单极点 RC 低通滤波器就足够了。重要的是该滤波器的 RC 时间常数必须足够小，以使模拟输入能够在 ADC 采集时间 (t_{ACQ}) 之内完全稳定至 18 位分辨率，因为不充分的稳定性会限制 INL 和 THD 性能。在许多应用中，如需在采集期间实现充分的瞬变稳定性、并同时滤除驱动器宽带噪声，10ns 的 RC 时间常数足够快了。

另外，在 RC 低通滤波器和后面的 ADC 输入之间增设小的串联电阻器通常也是有益的。这些电阻器与 ADC 采样电容 C_{IN} 和采样开关电阻 R_{IN} 一起形成了第二个 RC 低通滤波器，从而进一步地限制了高频驱动器噪声，并减小了当器件进入采集阶段时模拟输入所吸收的电流尖峰之幅度。这个辅助低通滤波器的时间常数还直接影响著模拟输入在采集期间的稳定性，必须保持其快速。在很多应用中，使

用 49.9Ω 串联电阻器可在采集过程中实现充分的瞬变稳定性，同时提供针对宽带驱动器噪声的有效附加滤波。

在 RC 滤波器中应使用高质量的电容器和电阻器，因为这些组件会增加失真。NPO 及银云母型介质电容器具有卓越的线性度。表面贴装型碳质电阻器会由于其自发热及焊接过程中可能出现的损坏而产生失真。表面贴装型金属膜电阻器对于上述两种问题的敏感度都低得多。

全差分输入

LTC2389-18 可直接接受全差分输入信号。对于大多数全差分应用，建议采用被配置为两个单位增益缓冲器的 LT6201 ADC 驱动器来驱动 LTC2389-18，如图 5a 所示。LT6201 兼具快速稳定、优良的 DC 线性度和 $0.95\text{nV}/\sqrt{\text{Hz}}$ 的输入参考噪声密度等特性，从而使其能够获得 ADC 产品手册中所宣称的完整 SNR 及 THD 规格指标，如图 5b 中的 FFT 曲线图所示。另外，该拓扑结构还可用于缓冲单端信号，并在两种伪差分输入模式中均实现 ADC 产品手册中宣称的完整 SNR 和 THD 性能指标，如图 5c 和 5d 中的 FFT 曲线图所示。

应用信息

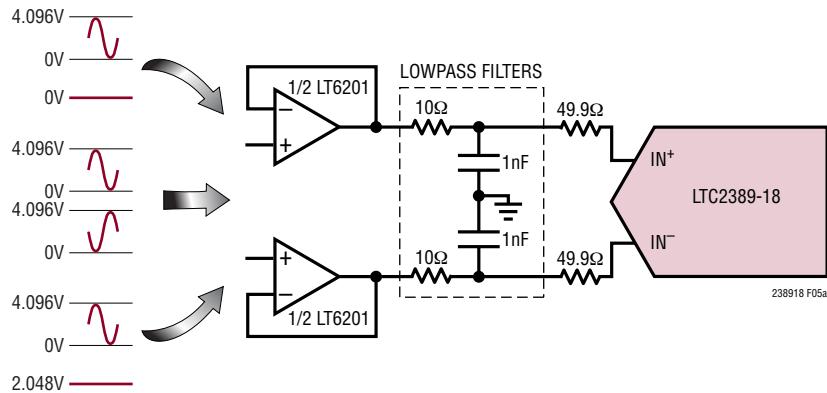
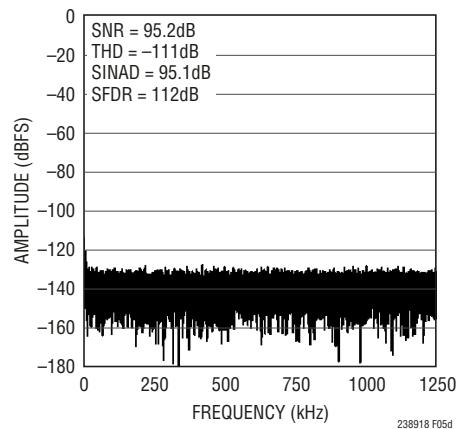
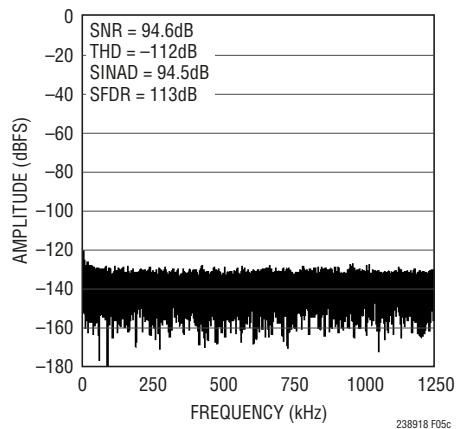
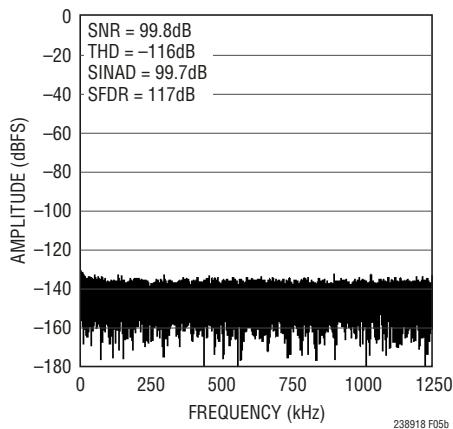


图 5a : LT6201 缓冲一个全差分或单端信号源



应用信息

在容许 SNR 和 THD 性能略有下降的应用中，可以使用被配置为两个单位增益缓冲器的较低功率 LT6231 ADC 驱动器来驱动 LTC2389-18，如图 6a 中所示。在该拓扑结构中，输出低通滤波器的 RC 时间常数较大，旨在限制 LT6231 所产生的高频噪声。如图 6b 至 6d 中的 FFT 曲线

图所示，该电路在全差分输入模式中实现了 99.2dB SNR 和 -116dB THD，在单极输入模式中实现了 93.8dB SNR 和 -111dB THD，而在双极输入模式中则实现了 94.2dB SNR 和 -109dB THD。

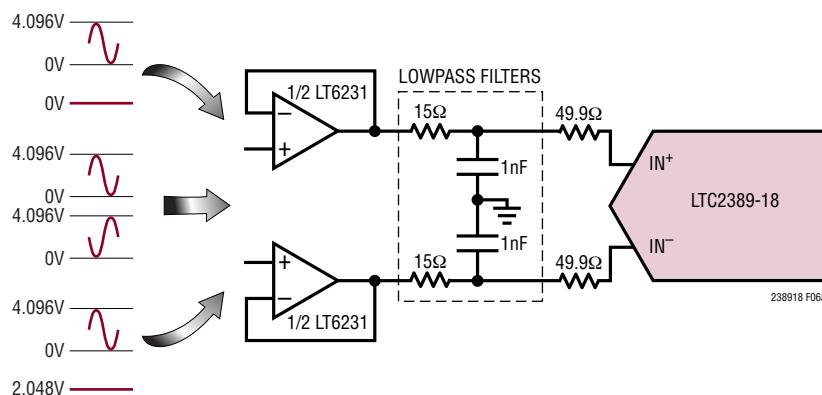


图 6a : LT6231 缓冲一个全差分或单端信号源

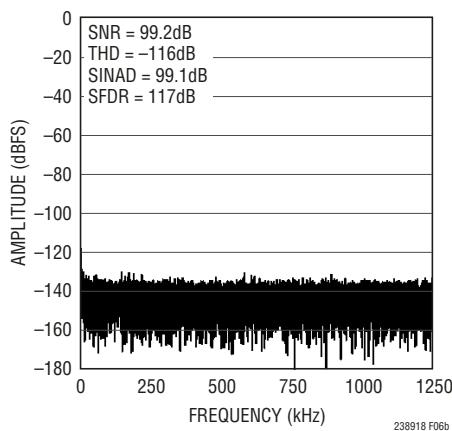


图 6b : 32k 点 FFT $f_{\text{Smpl}} = 2.5\text{Msps}$ ， $f_{\text{IN}} = 2\text{kHz}$ (针对图 6a 所示电路)；采用全差分输入进行驱动

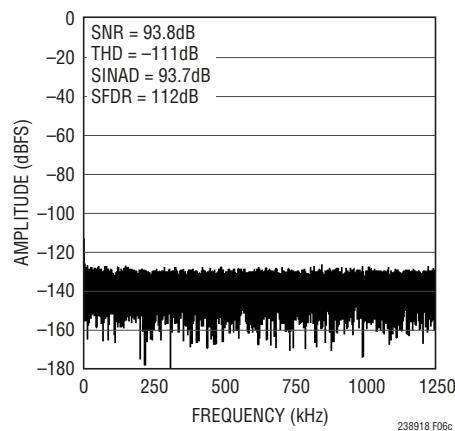


图 6c : 32k 点 FFT $f_{\text{Smpl}} = 2.5\text{Msps}$ ， $f_{\text{IN}} = 2\text{kHz}$ (针对图 6a 所示电路)；采用单极输入进行驱动

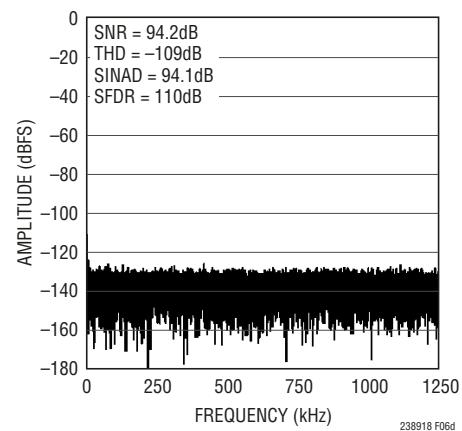


图 6d : 32k 点 FFT $f_{\text{Smpl}} = 2.5\text{Msps}$ ， $f_{\text{IN}} = 2\text{kHz}$ (针对图 6a 所示电路)；采用双极输入进行驱动

应用信息

单端至差分转换

在有些应用中，可能需要在驱动 LTC2389-18 之前将一个单端单极或双极信号转换为一个全差分信号，以充分利用 LTC2389-18 在全差分输入模式中所拥有的较高 SNR。采用图 7a 中所示拓扑结构进行配置的 LT6201 ADC 驱动器可用于把一个 0V 至 4.096V 单端输入信号转换为一个全差

分 $\pm 4.096V$ 输出信号。应选择适当的输出低通滤波器 RC 时间常数，以使 LTC2389-18 模拟输入在采集期间实现充分的瞬变稳定。如图 7b 中的 FFT 曲线图所示，这种很宽的滤波器带宽、再加上单端至差分转换电路相对较高的宽带噪声，将该拓扑结构的可实现 SNR 限制在 98.8dB。

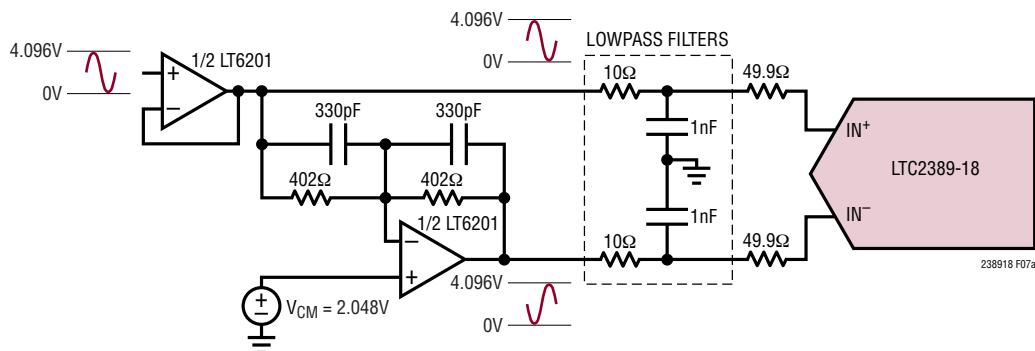


图 7a : LT6201 将一个 0V 至 4.096V 单端信号转换为一个 $\pm 4.096V$ 全差分信号

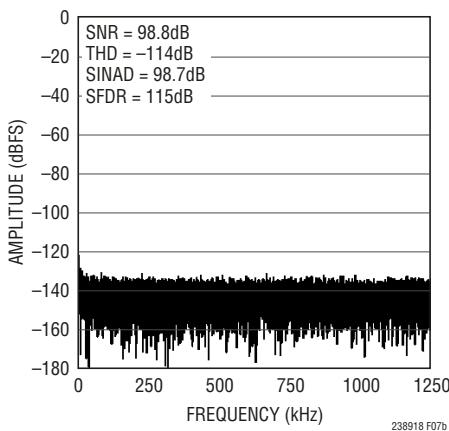


图 7b : 32k 点 FFT $f_{\text{SAMPL}} = 2.5\text{Msps}$, $f_{\text{IN}} = 2\text{kHz}$,
针对图 7a 所示电路

应用信息

图 8a 示出了一种替代的单端至差分拓扑结构，其在 LT6231 之后采用了 LT6201。该拓扑结构使用低通滤波器 A 对单端至差分转换电路的宽带噪声提供了额外的频带限

制，而并未影响 LTC2389-18 输入在采集期间的稳定。如图 8b 中的 FFT 曲线图所示，此电路可实现 ADC 产品手册中宣称的完整 SNR 规格指标。

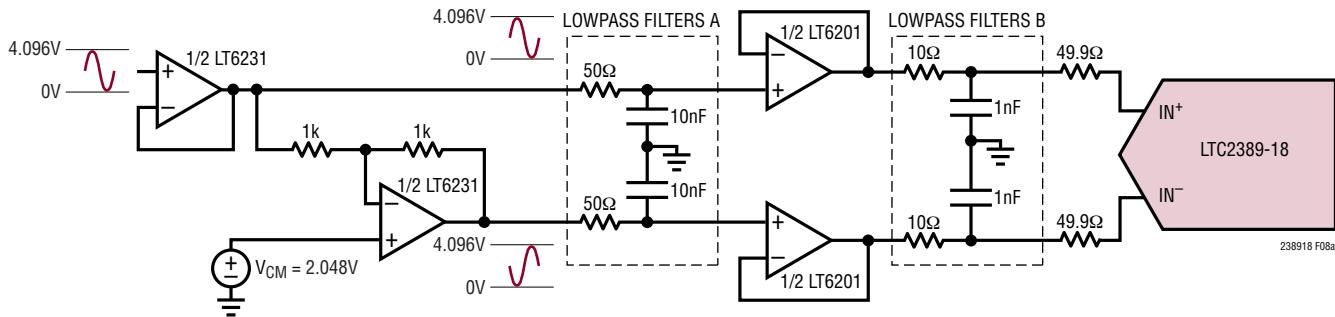


图 8a : LT6231 将一个 0V 至 4.096V 单端输入信号转换为一个 $\pm 4.096V$ 全差分信号，在 LT6231 之后布设了用于缓冲全差分信号的 LT6201

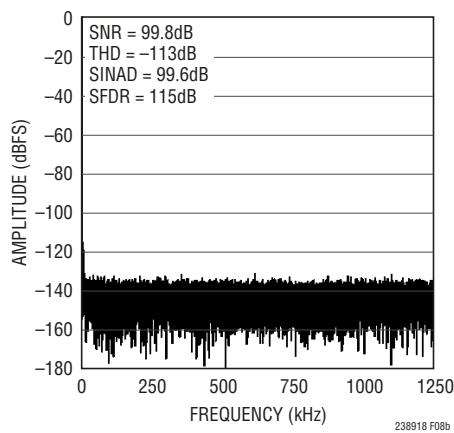


图 8b : 32k 点 FFT $f_{\text{SMPL}} = 2.5\text{Msps}$ ， $f_{\text{IN}} = 2\text{kHz}$ ，
针对图 8a 所示电路

应用信息

单端单极和双极输入

LTC2389-18 可直接接受单端单极和单端双极输入信号。对于大多数单端应用，建议使用被配置为一个单位增益缓冲器的 LT6200 ADC 驱动器来驱动 LTC2389-18，如图 9a 所示。LT6200 兼具快速稳定、优良的 DC 线性度和

0.95nV/ $\sqrt{\text{Hz}}$ 的输入参考噪声密度等特性，从而使其能够在两种伪差分输入模式中获得 ADC 产品手册中所宣称的完整 SNR 及 THD 规格指标，如图 9b 和 9c 中的 FFT 曲线图所示。

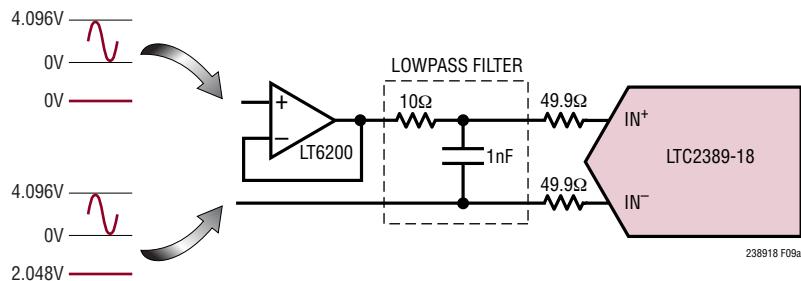


图 9a : LT6200 缓冲一个单端信号源

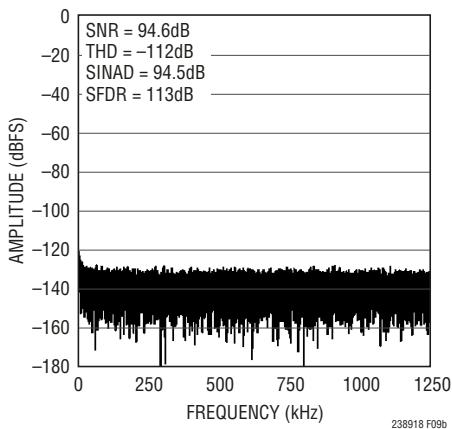


图 9b: 32k 点 FFT $f_{\text{SMPL}} = 2.5 \text{Msps}$,
 $f_{\text{IN}} = 2 \text{kHz}$ (针对图 9a 所示电路);
 采用单极输入进行驱动

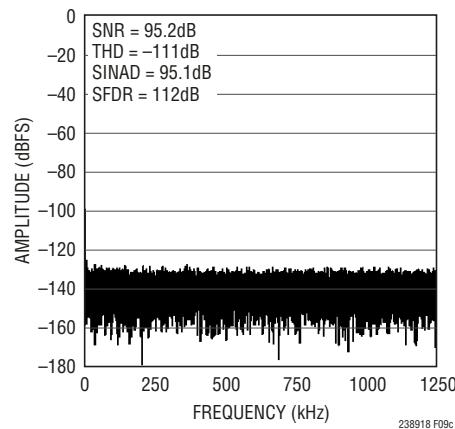


图 6c: 32k 点 FFT $f_{\text{SMPL}} = 2.5\text{Msps}$,
 $f_{\text{IN}} = 2\text{kHz}$ (针对图 9a 所示电路);
 采用双极输入进行驱动

应用信息

在容许 SNR 和 THD 性能略有下降的应用中，可以使用被配置为一个单位增益缓冲器的较低功率 LT6230 ADC 驱动器来驱动 LTC2389-18，如图 10a 中所示。在该拓扑结构中，输出低通滤波器的 RC 时间常数较大，以限制 LT6230 所产生的高频噪声。如图 10b 和 10c 中的 FFT 曲线图所示，该电路在单极输入模式中实现了 94dB SNR 和 -111dB THD，在双极输入模式中实现了 94.5dB SNR 及 -110dB THD。

请注意，在图 9a 和 10a 所示的电路中，施加至 IN^- 的信号之源阻抗直接影响信号采集过程中的输入稳定时间。在单端应用中（此时高阻抗是该基准信号的固有特性），图 5a 和 6a 中示出的双缓冲方法将保证可从 ADC 获得较快的采集时间和较好的失真性能。

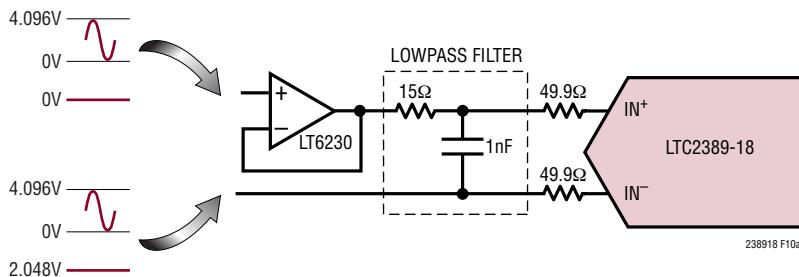


图 10a : LT6230 缓冲一个单端信号源

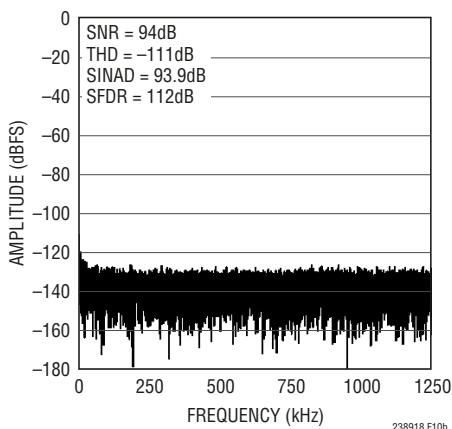


图 10b : 32k 点 FFT $f_{\text{SMPL}} = 2.5\text{Msps}$, $f_{\text{IN}} = 2\text{kHz}$
(针对图 10a 所示电路)；采用单极输入进行驱动

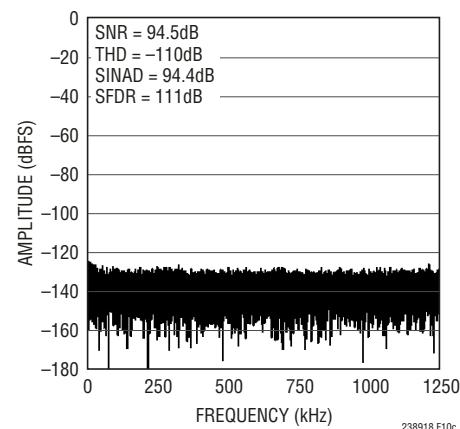


图 10c : 32k 点 FFT $f_{\text{SMPL}} = 2.5\text{Msps}$, $f_{\text{IN}} = 2\text{kHz}$
(针对图 10a 所示电路)；采用双极输入进行驱动

应用信息

ADC 基准

一个低噪声、低温度漂移基准对于实现 ADC 产品手册宣称的完整性能指标至关紧要。LTC2389-18 提供了一个具 $\pm 20\text{ppm}/^\circ\text{C}$ 温度系数的绝佳内部基准。如果需要更佳的准确度，则可使用一个外部基准。不管采用内部基准还是外部基准，都需要使用高速、低噪声内部基准缓冲器，而且不能将其旁路。该缓冲器给转换器贡献了一个信号相关噪声项，其典型的标准偏差为：

$$\frac{(V_{IN+} - V_{IN-})}{V_{REF}} \cdot 16\mu V_{RMS}$$

这引起了零标度和全标度输入之间的转换噪声增加。施加至 REFIN 的基准电压增加了一个类似的信号相关噪声项，但其幅度受到内部缓冲器中一个 4kHz (典型值) 低通滤波器的限制，从而使该项在大多数场合中均可忽略不计。

内部基准

如欲使用内部基准，只需把 REFOUT 和 REFIN 引脚连接在一起即可。这将内部基准的 4.096V 输出连接至内部基准缓冲器的输入。内部基准的输出阻抗大约为 $2.3\text{k}\Omega$ ，内部基准缓冲器的输入阻抗则为 $74\text{k}\Omega$ 左右。建议采用一个 $1\mu\text{F}$ 或更大的电容器将 RFEIN 旁路至 REFSENSE，以滤除内部基准的输噪声。当使用内部基准时，不要把 REFSENSE 引脚接地。

外部基准

当需要更高的性能时，可把一个外部基准与 LTC2389-18 一起使用。LTC6655 可提供 0.025% (最大值) 的初始准确度和 $2\text{ppm}/^\circ\text{C}$ (最大值) 的温度系数，可满足高精度应用的需要。LTC6655 的技术规格针对 H 级温度范围全面拟订，可对 LTC2389-18 高达 125°C 的扩展温度操作起到补充作用。当使用一个外部基准时，把基准输出连接至 REFIN 引脚，并将 REFOUT 引脚接地。REFSENSE 引脚应连接至外部基准的地。

动态性能

采用快速傅立叶变换 (FFT) 技术来测试额定吞吐量条件下的 ADC 频率响应、失真和噪声。通过施加一个低失真正弦波并采用一种 FFT 算法来分析数字输出，可检查 ADC 频谱成分中超出基频之外的频率情况。LTC2389-18 为 AC 失真及噪声测量均提供了保证测试限值。

信号与噪声加失真之比 (SINAD)

信号与噪声加失真之比 (SINAD) 是 A/D 输出信号中输入基频的 RMS 幅度与所有其他频率分量的 RMS 幅度之比。A/D 输出频带为 DC 至采样频率的一半。如图 11 所示，LTC2389-18 在 2.5MHz 采样速率及 2kHz 输入下实现了一个 99.7dB (全差分) 的典型 SINAD。

信噪比 (SNR)

信噪比 (SNR) 是输入基频的 RMS 幅度与除了首五个谐波和 DC 之外的所有其他频率分量的 RMS 幅度之比。如图 11 所示，LTC2389-18 在 2.5MHz 采样速率及 2kHz 输入下实现了一个 99.8dB (全差分) 的典型 SNR。

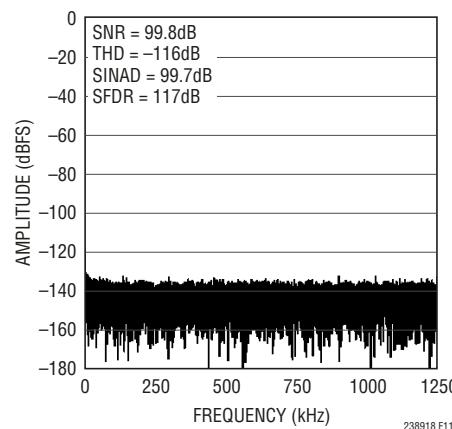


图 11：LTC2389-18 的 32k 点 FFT，
 $f_{\text{SAMPL}} = 2.5\text{Msps}$ ， $f_{\text{IN}} = 2\text{kHz}$

应用信息

总谐波失真 (THD)

总谐波失真 (THD) 是输入信号所有谐波的 RMS 之和与基频自身之比。带外谐波混入 DC 与半采样频率 ($f_{SMPL}/2$) 之间的频带。THD 由下式来表示：

$$THD = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + \dots + V_N^2}}{V_1}$$

式中的 V_1 为基频的 RMS 幅度， V_2 至 V_N 分别为二次至 N 次谐波的幅度。如图 11 所示，LTC2389-18 在 2.5MHz 采样速率及 2kHz 输入下实现了一个 -116dB (全差分) 的典型 THD。

电源考虑

LTC2389-18 提供了两组电源引脚：5V 内核电源 (V_{DD}) 和数字输入 / 输出接口电源 (OV_{DD})。灵活的 OV_{DD} 电源允许 LTC2389-18 与任何工作电压介于 1.8V 和 5V 之间的数字逻辑电路 (包括 2.5V 和 3.3V 系统) 进行通信。 V_{DD} 和 OV_{DD} 电源网络均应采用一个靠近每个引脚的 $0.1\mu F$ 陶瓷电容器和一个并联的 $10\mu F$ 陶瓷电容器旁路至 GND。

电源上电排序

LTC2389-18 没有任何特殊的电源上电排序要求。应谨慎地遵守“绝对最大额定值”部分中所描述的最大电压关系。LTC2389-18 具有一个内部上电复位 (POR) 电路，在初始上电或电源电压降低至 2.5V 以下时，此电路将使转换器复位。当电源电压重新进入标称电源电压范围时，POR 将重新预置 ADC。在采用 POR 的情况下，只要为基准提供了实现稳定的充足时间，第一个转换的结果在上电之后就是有效的。

打盹模式

在一个转换完成之后，可以将 LTC2389-18 置于打盹模式以降低转换之间的功耗。在该模式中，器件上的某些电路被关断。如图 12 所示，打盹模式是通过在转换操作之间将 \overline{CNVST} 保持于低电平来启用的。如需在进入打盹模式之后启动一个新的转换，则将 \overline{CNVST} 拉至高电平并至少保持 200ns，然后重新将其拉至低电平。

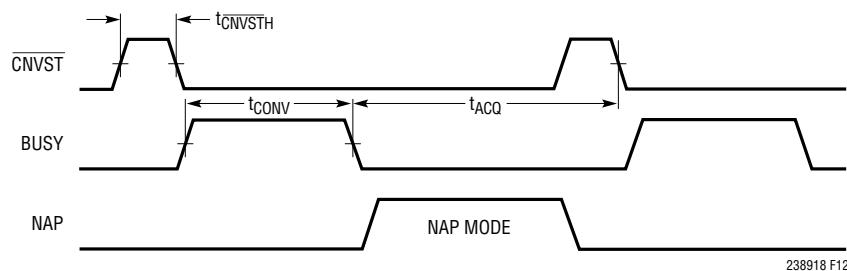


图 12 : LTC2389-18 的打盹模式时序

应用信息

电源停机模式

当 PD 连接至高电平时，LTC2389-18 进入电源停机模式。在此状态中，所有的内部功能电路（包括基准）均被关断，且后续的转换请求被忽略。在进入电源停机模式之前，应读取数字输出数据。假如在某个转换的过程当中出现电源停机请求，则将先完成该转换而后器件断电，不过，该转换的数据应仅在电源停机模式终止之后读出。在该模式中，功耗从 162.5mW 降低至 75μW（典型值）。倘若 LTC2389-18 在很长的时间里处于待用状态且用户希望尽量减少功率耗散，则可采用此模式。

从电源停机模式恢复

如需终止电源停机模式并开始给内部电路上电，则使 PD 引脚恢复至一个低电平。如果采用的是内部基准，则 2.3kΩ 输出阻抗和 REFIN / REfout 引脚上的 1μF 旁路电容器将构成上电恢复时间的主时间常数。假如使用一个外部基准，那么在启动一个新转换之前通常提供 5ms 的恢复时间。

功率耗散与采样频率的关系

当采用打盹模式时，LTC2389-18 的功率耗散将随着采样频率的降低而减少，如图 13 所示。平均功率耗散的这种减少是由于在打盹模式中 LTC2389-18 的部分电路被关断所

致，而转换周期 (t_{CYC}) 中处于打盹模式的时间比例则随着采样频率 (f_{SMPL}) 的降低而增加。

时序和控制

CNVST 时序

LTC2389-18 转换受控于 CNVST。CNVST 上的一个下降沿将起动转换过程，而一旦某个转换过程被启动，那么在该转换完成之前它将不能被重新起动。为了获得最优的性能，CNVST 应利用一个干净的低抖动信号来驱动，并应在逐渐通向 CNVST 下降沿的过程中避免数据 I/O 线路上的转换。转换器状态由 BUSY 输出指示，当转换操作正在执行之中时该输出处于高电平。当 CNVST 被拉至低电平以开始一个转换时，应使该信号在转换启动 40ns 以内或转换完成之后恢复至高电平，以确保在数字化结果中不出现错误。在“打盹模式”部分中，对利用功率减低的打盹操作模式所需的 CNVST 时序进行了说明。

内部转换时钟

LTC2389-18 具有一个内部时钟，该时钟经过修整以实现一个 310ns 的最大转换时间。无需进行外部调整，而且凭借一个 77ns 的最小采集时间可在并行输出模式中保证 2.5Msps 的吞吐性能。

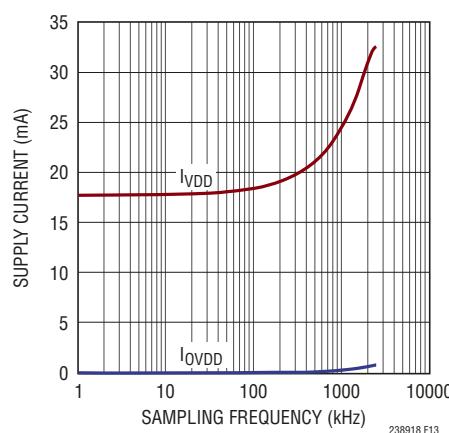


图 13：电源电流与采样频率的关系曲线。LTC2389-18 的功率耗散随著采样频率的降低而减少

应用信息

数字接口

为了适应多种专用处理器和 FPGA 数据总线宽度，LTC2389-18 的输出总线可通过配置以工作于 18 位并行、16 位并行、8 位并行或串行模式，如表 1 中所述。灵活的 $0V_{DD}$ 电源允许 LTC2389-18 与工作电压介于 1.8V 和 5V 之间的任何数字逻辑电路 (包括 2.5V 和 3.3V 系统) 进行通信。

18 位并行总线配置

在那些可以使用一根完整 18 位宽并行数据总线的应用中 (例如：基于 FPGA 和 CPLD 的解决方案)，LTC2389-18 能把每个转换结果 $R[17:0]$ 作为一个 18 位字在引脚 $D[17:0]$ 上提供。如需选择这种总线配置，应将引脚 $MODE = MODE[1:0]$ 驱动至 $MODE = 00$ ，如表 1 中所述。倘若应用不需共用该总线，则驱动芯片选择引脚 $\overline{CS} = 0$ ，以使 LTC2389-18 连续驱动该总线，如图 14 中所示。在必须共用此总线的应用中，当其他器件正在使用该总线时，驱动 $\overline{CS} = 1$ 以使 LTC2389-18 总线引脚呈高阻抗；而驱动 $\overline{CS} = 0$ 则允许 LTC2389-18 驱动该总线，如图 15 和 16 所示。

16 位并行总线配置

在那些可以使用一根 16 位宽并行数据总线的应用中 (例如：基于 16 位微控制器的解决方案)，LTC2389-18 能以两个 16 位字在引脚 $D[17:2]$ 上提供每个转换结果

$R[17:0]$ 。如欲选择这种总线配置，应把引脚 $MODE = MODE[1:0]$ 驱动至 $MODE = 01$ ，如表 1 中所述。在该配置中，引脚 $D0/A0$ 和 $D1/A1$ 变为一个 2 位宽地址输入 $A[1:0]$ ，其负责控制在 $D[17:2]$ 上是驱动转换结果上部的 16 个位 $R[17:2]$ 还是下部的 2 个位 $R[1:0]$ ，如图 17 所示。有两种格式可用于输出转换结果的两个最低位 $R[1:0]$ ，以适应各种不同的专用硬件和软件限制条件，如表 1 中所示。芯片选择引脚 \overline{CS} 允许在多个器件之间共用该 16 位并行总线。更多细节请见“18 位并行总线配置”部分。

8 位并行总线配置

在那些可以使用一根 8 位宽并行数据总线的应用中 (例如：基于 8 位微控制器的解决方案)，LTC2389-18 能以三个 8 位字在引脚 $D[17:10]$ 上提供每个转换结果 $R[17:0]$ 。如欲选择这种总线配置，应把引脚 $MODE = MODE[1:0]$ 驱动至 $MODE = 10$ ，如表 1 中所述。在该配置中，引脚 $D0/A0$ 和 $D1/A1$ 变为一个 2 位宽地址输入 $A[1:0]$ ，其负责控制在 $D[17:10]$ 上是驱动转换结果上部的 8 个位 $R[17:10]$ 、还是中部的 8 个位 $R[9:2]$ 、抑或是下部的 2 个位 $R[1:0]$ ，如图 18 所示。有两种格式可用于输出转换结果的两个最低位 $R[1:0]$ ，以适应各种不同的专用硬件和软件限制条件，如表 1 中所示。芯片选择引脚 \overline{CS} 允许在多个器件之间共用该 8 位并行总线。更多细节请见“18 位并行总线配置”部分。

应用信息

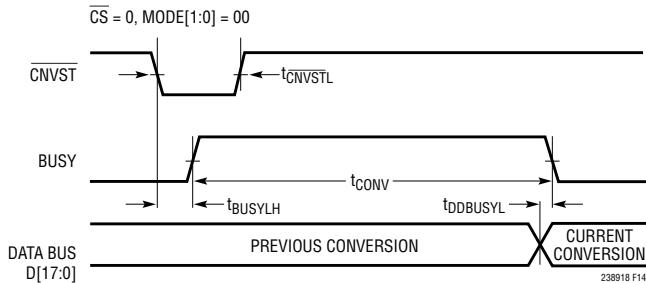


图 14：连续读取并行数据。
数据总线始终被驱动且不能共用

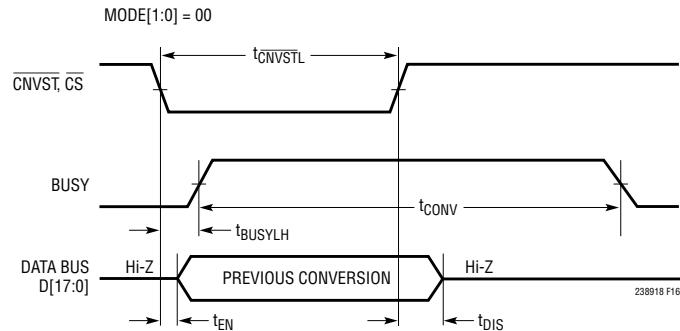


图 16：在后面的转换过程中读取并行数据

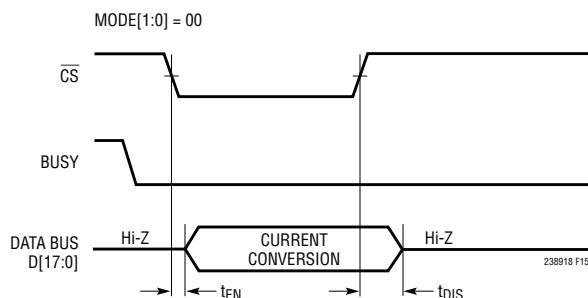


图 15：在转换之后读取并行数据

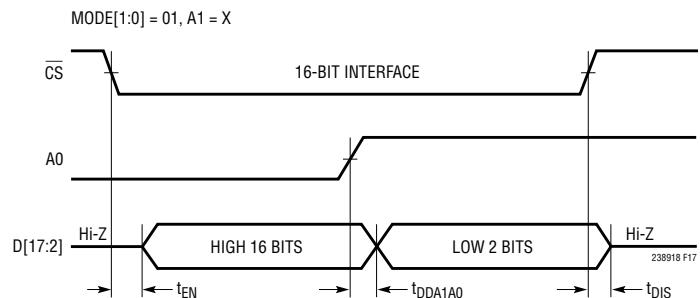


图 17：采用 $A[1:0]$ 引脚的 16 位并行接口

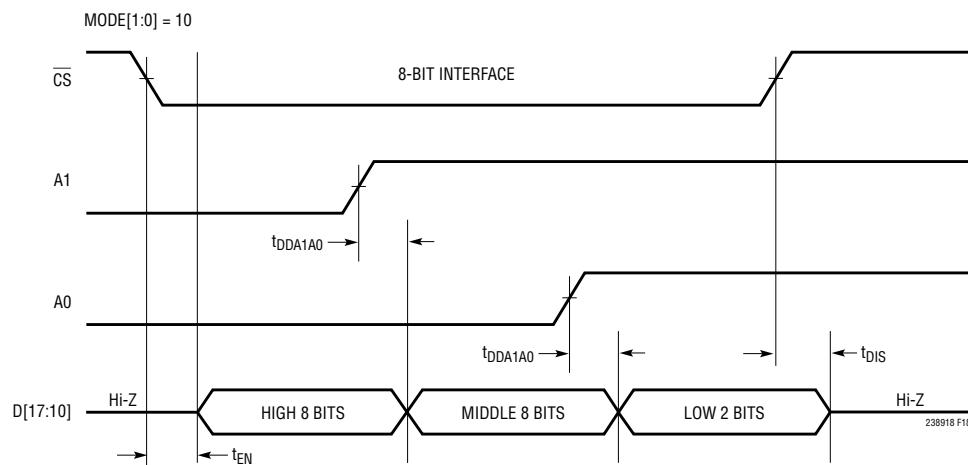


图 18：采用 $A[1:0]$ 引脚的 8 位并行接口

238918f

应用信息

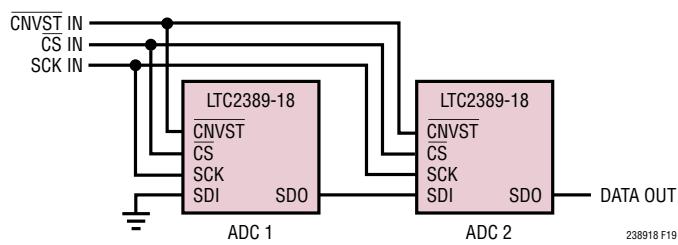
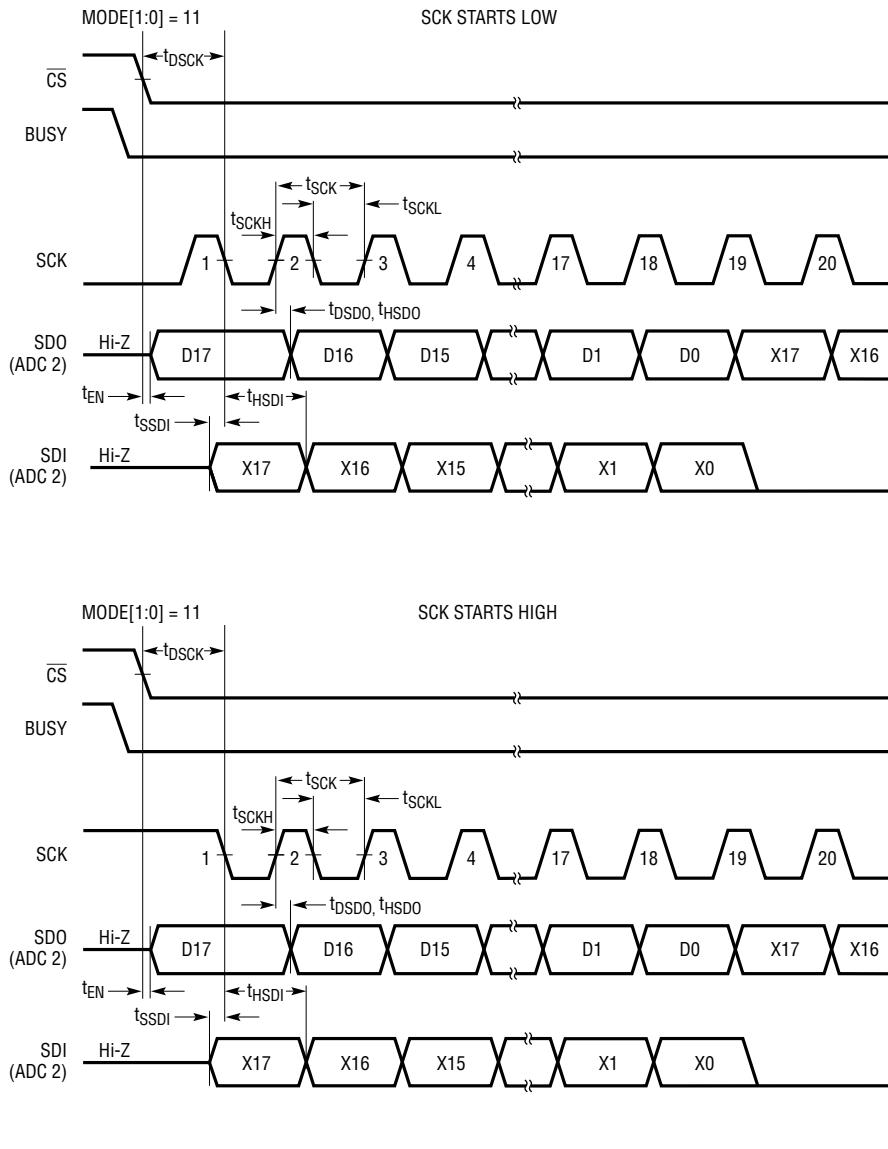


图 19：具外部时钟的串行接口。在转换之后读取数据。对多个转换器进行菊花链式连接

应用信息

串行总线配置

在那些需要一根串行总线以尽量减小数据总线宽度的应用中，LTC2389-18 能够以串行的方式在引脚 D12/SDO 上提供每个转换结果 R[17:0]。如欲选择这种总线配置，应把引脚 MODE = MODE[1:0] 驱动至 MODE = 11，如表 1 中所述。如图 19 所示，当一个外部移位时钟输入施加至 SCK 引脚时，作为响应，将在 SDO 引脚上提供串行输出数据。SDO 上的数据在 SCK 的上升沿之后改变状态。该工作特性的一个例外是：D17 将保持有效，直到第一个 SCK 下降沿之后的第一个 SCK 上升沿为止。倘若 \overline{CS} 用于选通串行输出数据，则完整的转换结果应在 \overline{CS} 返回高电平之前读取。为了获得最佳的性能，不要在 BUSY 引脚为高电平时定时输出串行数据。

SDI 输入可用于对多个转换器进行菊花链式连接，如图 19 所示。在该图中，两个器件级联，ADC1 的 MSB 在 18 个 SCK 周期的延迟之后出现于 ADC2 的串行输出端。ADC1

的串行输出在 SCK 的下降沿上定时输入 ADC2。在那些连接多个转换器的可用数据线数目因硬件约束而受到限制的应用中，这是很有用处的。

数据格式

转换结果的二进制格式取决于引脚 PD/ \overline{FD} 和 OB/ $\overline{2C}$ 的状态，如表 2 中所述。这些引脚在并行和串行操作模式中均有效。

复位

如图 20 所示，当 RESET 引脚为高电平时，LTC2389-18 复位且数据总线被置于一种高阻抗状态。如果这种情况出现在某个转换的执行期间，则该转换将立即暂停。在复位状态下，新转换的请求被忽略。当 RESET 引脚返回低电平时，LTC2389-18 在满足了采集时间之后随时可以起动一个新的转换。

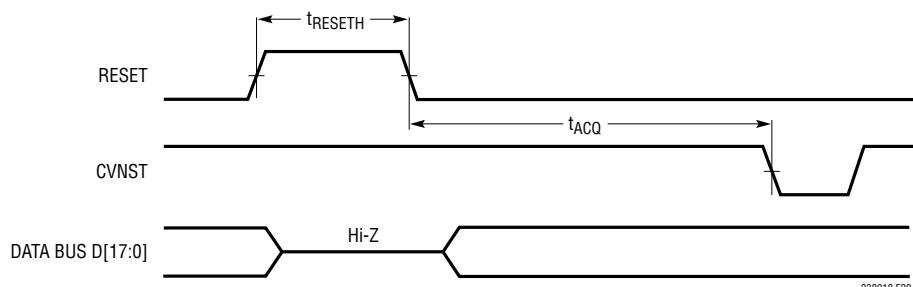


图 20 : RESET 引脚序时

应用信息

电路板布局

为了获得 LTC2389-18 的最佳性能，建议使用一个印刷电路板 (PCB)。该印刷电路板的布局应确保数字和模拟信号线是尽可能分开的。应特别注意不要沿著模拟信号走线或在 ADC 的下方排布任何的数字时钟或信号走线。

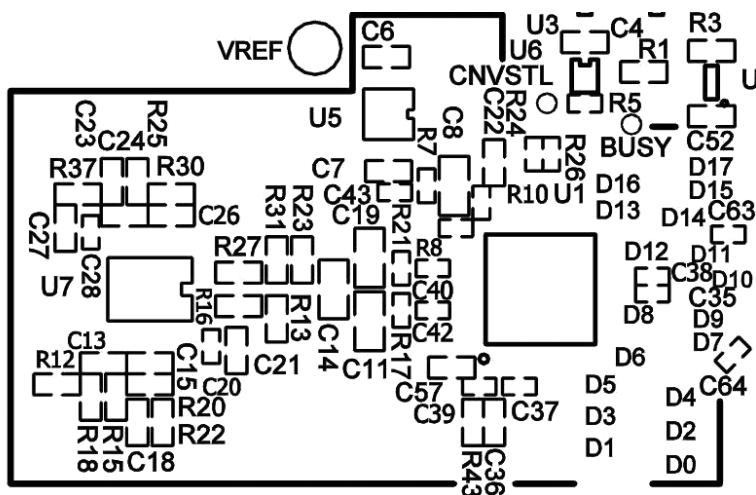
与 LTC238x-16 的引脚兼容性

为保证一款准备用于 LTC2389-18 的电路板布局也可兼容 LTC238x 系列的 16 位版本，设计应保持以下能力：驱动引脚 5 (MODE1) 和 7 (D0/A0) 至逻辑低电平、驱动引脚 4 (MODE0) 至逻辑高电平和逻辑低电平、以及动态地驱动引

脚 8 (D1/A1) 至逻辑高电平和逻辑低电平。视具体应用的不同，可以简化这些限制条件。如需进一步了解 LTC238x-16 器件的工作原理，请查阅相关的产品手册。

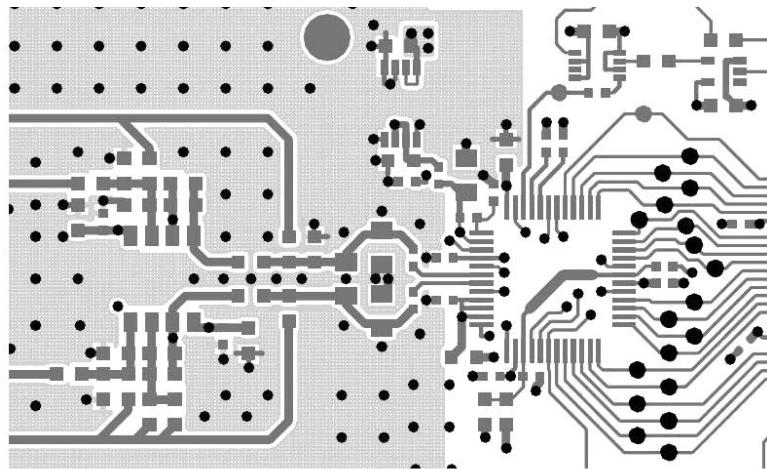
推荐布局

下面给出了推荐的 PCB 布局示例。应采用单个连续且不间断的接地平面。至电源的旁路电容器应布设在尽可能靠近电源引脚的地方。用于这些旁路电容器的低阻抗公共回线对于实现 ADC 的低噪声操作是不可或缺的。模拟输入走线由地屏蔽。欲知更多细节和信息，请查阅 DC1826A-A (LTC2389-18 的评估套件) 的相关资料。



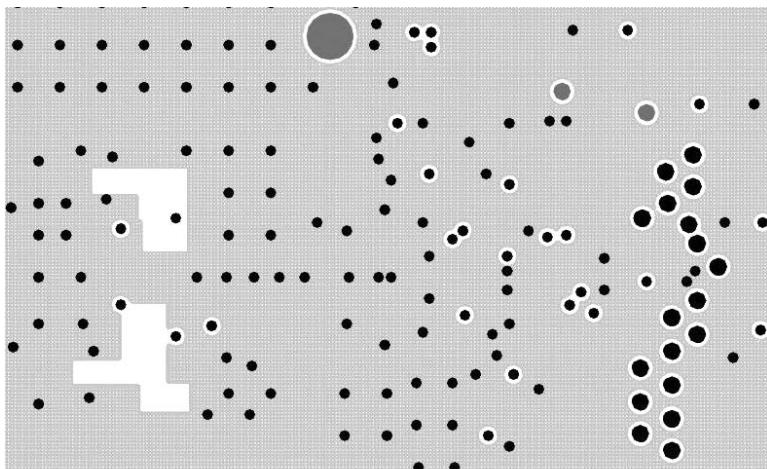
部分顶侧丝网印刷

应用信息



238918 F22

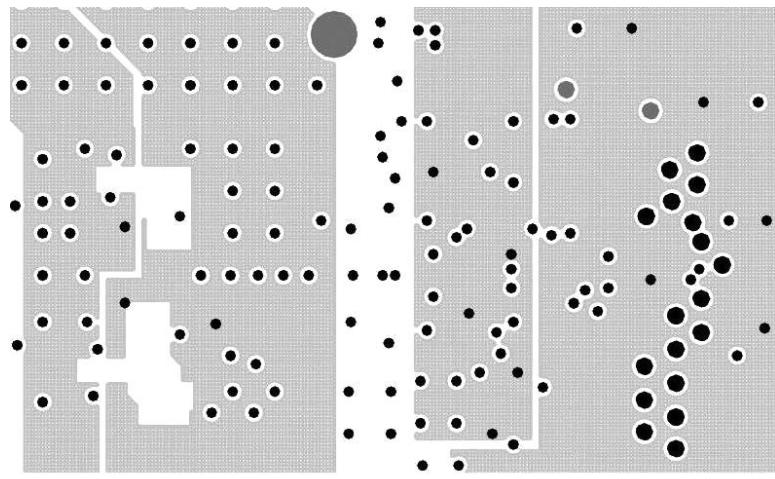
部分第一层元件面



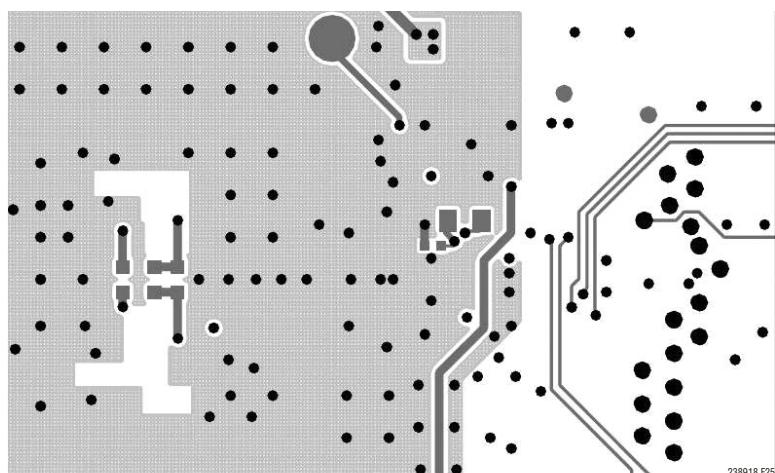
238918 F23

部分第二层接地平面

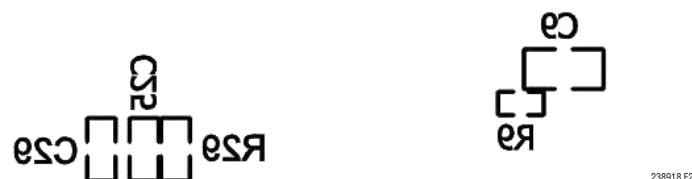
应用信息



部分第三层电源平面



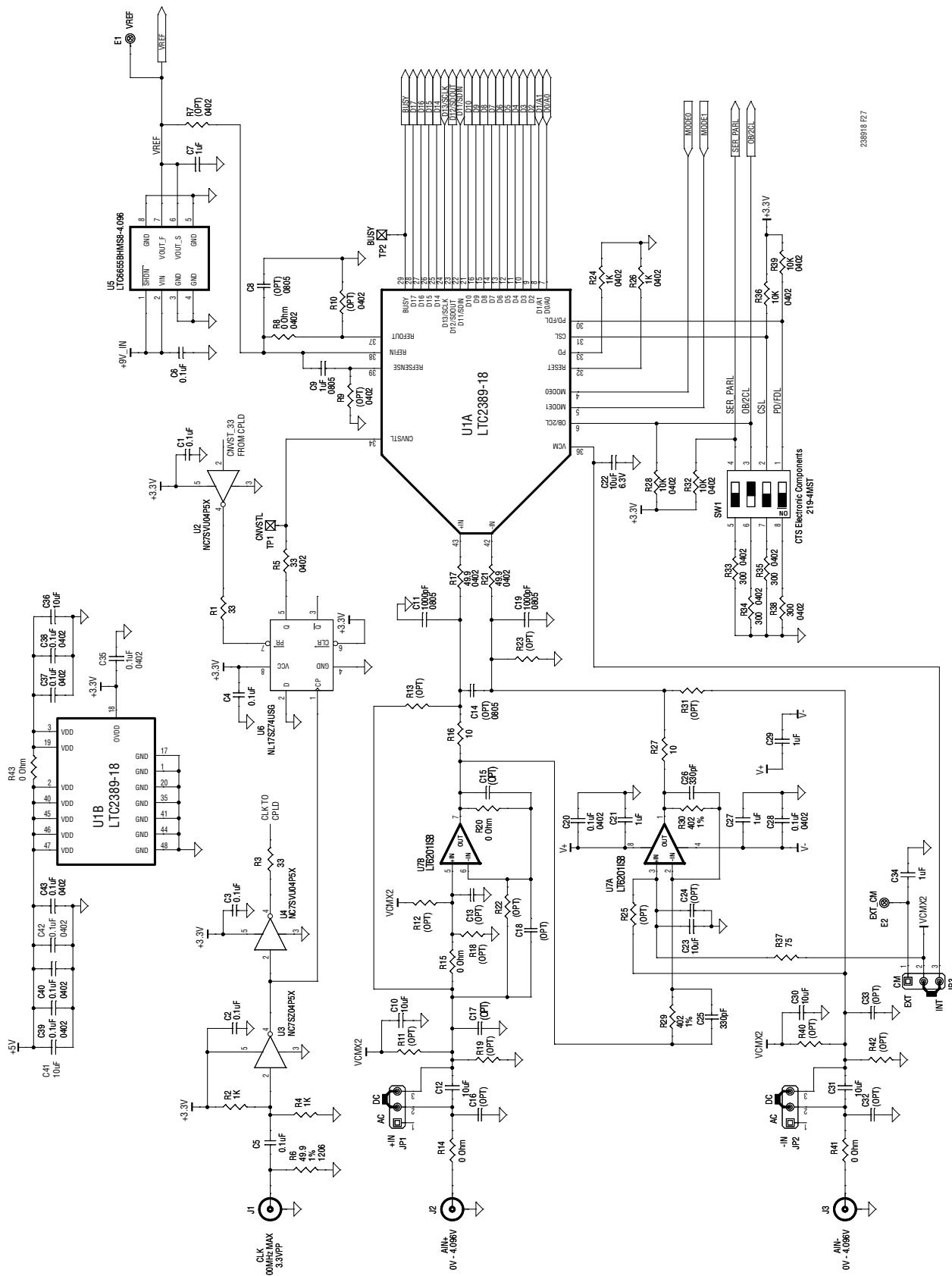
部分第四层底侧铜板



部分底侧丝网印刷

238918f

应用信息

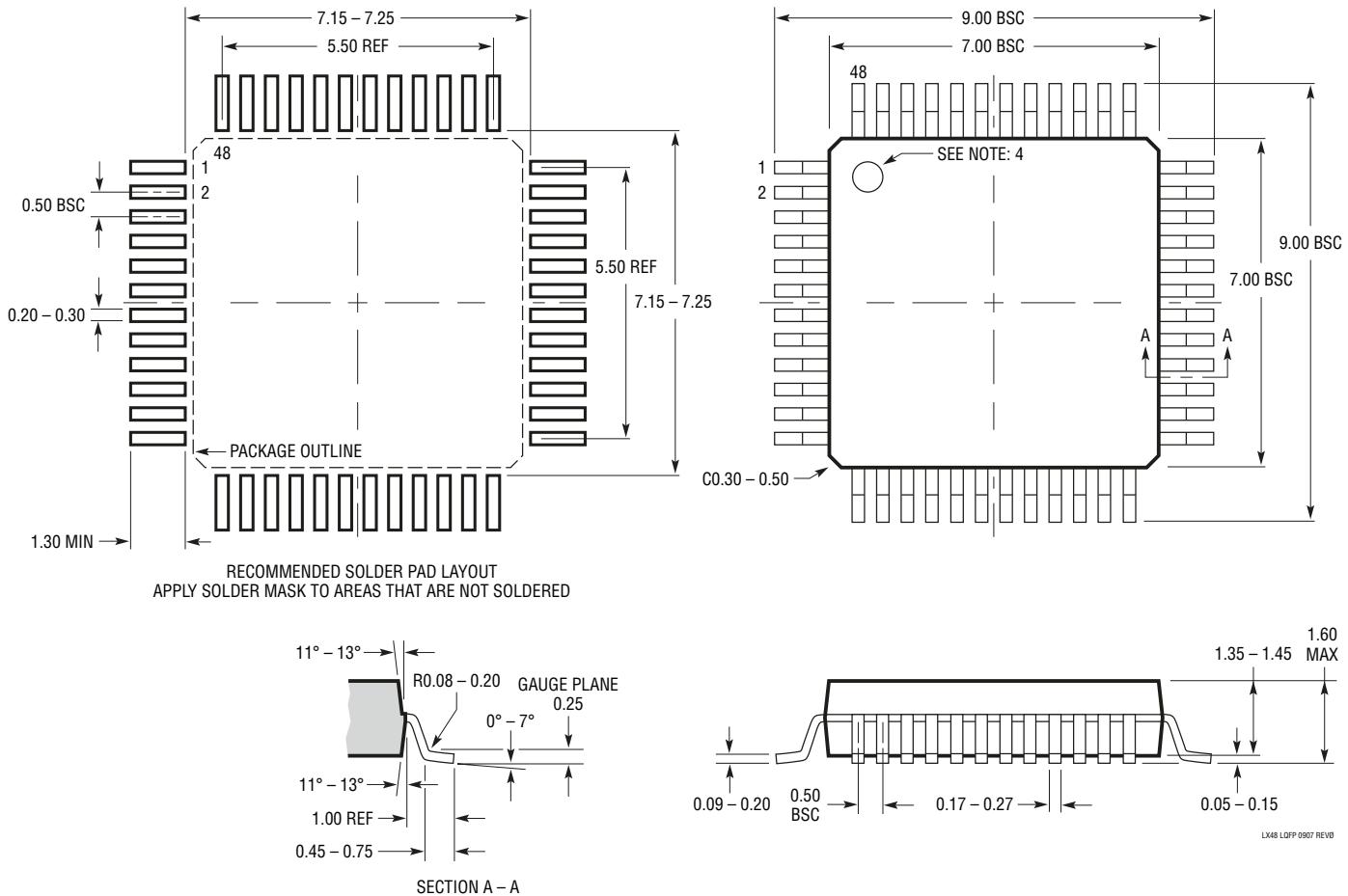


部分演示电路板原理图

封装描述

如需了解最近的封装图样,请登录 <http://www.linear.com.cn/designtools/packaging/>。

LX 封装
48 引脚塑料 LQFP (7mm x 7mm)
 (参考 LTC DWG # 05-08-1760 Rev Ø)



NOTE:

1. PACKAGE DIMENSIONS CONFORM TO JEDEC #MS-026 PACKAGE OUTLINE
2. DIMENSIONS ARE IN MILLIMETERS
3. DIMENSIONS OF PACKAGE DO NOT INCLUDE MOLD FLASH. MOLD FLASH SHALL NOT EXCEED 0.25mm ON ANY SIDE, IF PRESENT

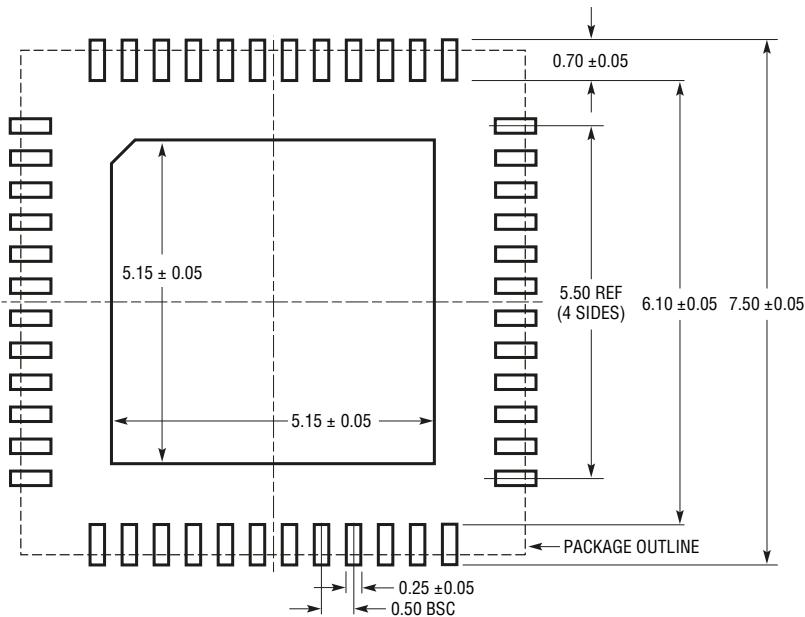
4. PIN-1 IDENTIFIER IS A MOLDED INDENTATION, 0.50mm DIAMETER
5. DRAWING IS NOT TO SCALE

LX48 LQFP 0907 REV0

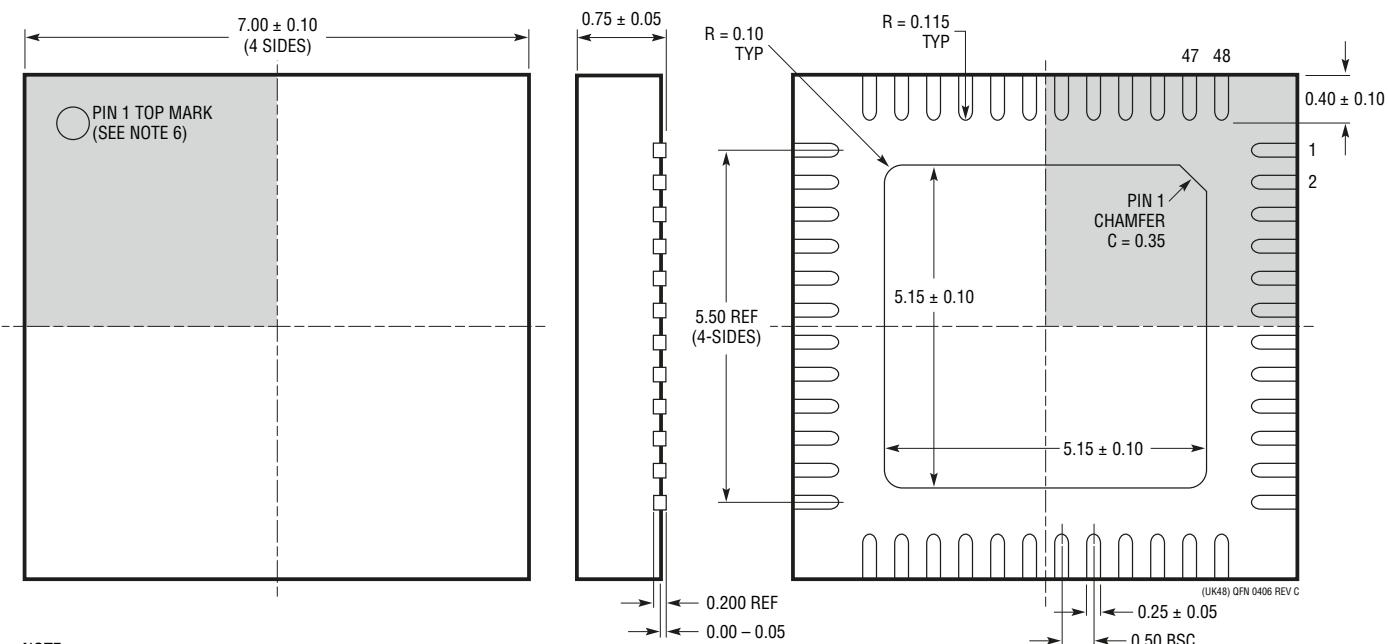
封装描述

如需了解最近的封装图样,请登录 <http://www.linear.com.cn/designtools/packaging/>。

UK 封装
48 引脚塑料 QFN (7mm x 7mm)
(参考 LTC DWG # 05-08-1704)



RECOMMENDED SOLDER PAD PITCH AND DIMENSIONS
APPLY SOLDER MASK TO AREAS THAT ARE NOT SOLDERED



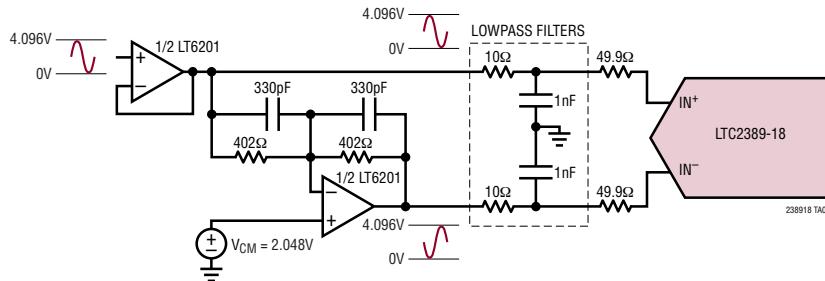
NOTE:

1. DRAWING CONFORMS TO JEDEC PACKAGE OUTLINE MO-220 VARIATION (WKDD-2)
2. DRAWING NOT TO SCALE
3. ALL DIMENSIONS ARE IN MILLIMETERS
4. DIMENSIONS OF EXPOSED PAD ON BOTTOM OF PACKAGE DO NOT INCLUDE MOLD FLASH. MOLD FLASH, IF PRESENT, SHALL NOT EXCEED 0.20mm ON ANY SIDE, IF PRESENT
5. EXPOSED PAD SHALL BE SOLDER PLATED
6. SHADED AREA IS ONLY A REFERENCE FOR PIN 1 LOCATION ON THE TOP AND BOTTOM OF PACKAGE

BOTTOM VIEW—EXPOSED PAD

典型应用

ADC 驱动器：单端输入至差分输出



相关器件

器件型号	描述	备注
ADC		
LTC2379-18/LTC2378-18/ LTC2377-18/LTC2376-18	18 位、1.6Msps/1Msps/500ksps/250ksps 串行、 低功率 ADC	2.5V 电源，差分输入，101.2dB SNR， $\pm 5V$ 输入范围，DGC， 采用 MSOP-16 和 4mm x 3mm DFN-16 封装的引脚兼容型系列
LTC2380-16/LTC2378-16/ LTC2377-16/LTC2376-16	16 位、2Msps/1Msps/500ksps/250ksps 串行、 低功率 ADC	2.5V 电源，差分输入，96.2dB SNR， $\pm 5V$ 输入范围，DGC， 采用 MSOP-16 和 4mm x 3mm DFN-16 封装的引脚兼容型系列
LTC2369-18/LTC2368-18/ LTC2367-18/LTC2364-18	18 位、1.6Msps/1Msps/500ksps/250ksps 串行、 低功率 ADC	2.5V 电源，单极性伪差分输入，96.5dB SNR，5V 输入范围，DGC， 采用 MSOP-16 和 4mm x 3mm DFN-16 封装的引脚兼容型系列
LTC2370-16/LTC2368-16/ LTC2367-16/LTC2364-16	16 位、2Msps/1Msps/500ksps/250ksps 串行、 低功率 ADC	2.5V 电源，单极性伪差分输入，94dB SNR，5V 输入范围，DGC， 采用 MSOP-16 和 4mm x 3mm DFN-16 封装的引脚兼容型系列
LTC2393-16/LTC2392-16/ LTC2391-16	16 位、1Msps/500ksps/250ksps 并行/串行 ADC	5V 电源，差分输入，94dB SNR， $\pm 4.096V$ 输入范围， 采用 7mm x 7mm LQFP-48 和 QFN-48 封装的引脚兼容型系列
LTC2383-16/LTC2382-16/ LTC2381-16	16 位、1Msps/500ksps/250ksps 串行、 低功率 ADC	2.5V 电源，差分输入，92dB SNR， $\pm 2.5V$ 输入范围， 采用 MSOP-16 和 4mm x 3mm DFN-16 封装的引脚兼容型系列
LTC2302/LTC2306	12 位、500ksps、单通道 / 双通道、低噪声 ADC	5V 电源，14mW (在 500ksps)，DFN-10 封装
LTC2355-14/LTC2356-14	14 位、3.5Msps 串行 ADC	3.3V 电源，单通道，单极 / 双极，18mW，MSOP-10 封装
DAC		
LTC2756/LTC2757	18 位、单通道串行 / 并行 I_{OUT} SoftSpan™ DAC	± 1 LSB INL/DNL，7mm x 7mm SSOP-28 / LQFP-48 封装
LTC2641	16 位 / 14 位 / 12 位单通道串行 V_{OUT} DAC	± 1 LSB INL/DNL，MSOP-8 封装，0V 至 5V 输出
LTC2751	16 位 / 14 位 / 12 位单通道并行 I_{OUT} SoftSpan DAC	± 1 LSB INL/DNL，软件可选范围，5mm x 7mm QFN-38 封装
基准		
LTC6655	高精度低漂移低噪声缓冲基准	5V/2.5V，5ppm/°C，0.25ppm 峰至峰噪声，MSOP-8 封装
LTC6652	高精度低漂移低噪声缓冲基准	5V/2.5V，5ppm/°C，2.1ppm 峰至峰噪声，MSOP-8 封装
放大器		
LT6200/LT6201	具单位增益稳定性的单通道 / 双通道 165MHz 运放	0.95nV/ \sqrt{Hz} (100kHz)，低失真：-80dB (在 1MHz)，TSOT23-6 封装
LT6230/LT6231/LT6232	单通道 / 双通道 / 四通道 215MHz 轨至轨 输出低噪声低功率放大器	1.1nV/ \sqrt{Hz} (100kHz)，3.5mA (最大值)，350 μ V 最大失调
LT6202/LT6203	单通道 / 双通道 100MHz 轨至轨输入 / 输出 低噪声低功率放大器	1.9nV/ \sqrt{Hz} ，3mA (最大值)，100MHz 增益带宽
LT6350	低噪声单端至差分 ADC 驱动器	轨至轨输入和输出，240ns 0.01% 稳定时间
LTC1992	低功率、全差分输入 / 输出放大器 / 驱动器系列	1mA 电源电流