



WP284 (v1.0) 2007 年 12 月 19 日

Virtex-5 FPGA 六输入 LUT 架构 的优势

作者: *Andrew Percey*

新型 Virtex™-5 架构基于具有双 LUT 功能的真正六输入 LUT，与同类架构相比，在资源占用率方面具有显著优势。本白皮书详述这些优势，重点在 Xilinx 的 65 nm 高端 FPGA 器件 (Virtex-5 FPGA) 与 Altera (Stratix III FPGA) 之间进行比较。

架构介绍

图 1 所示为 Xilinx Virtex-5 FPGA 的基本架构：具有相关逻辑的六输入 LUT。图 2 所示为 Altera Stratix III FPGA 的基本架构：自适应逻辑模块（即 ALM）。

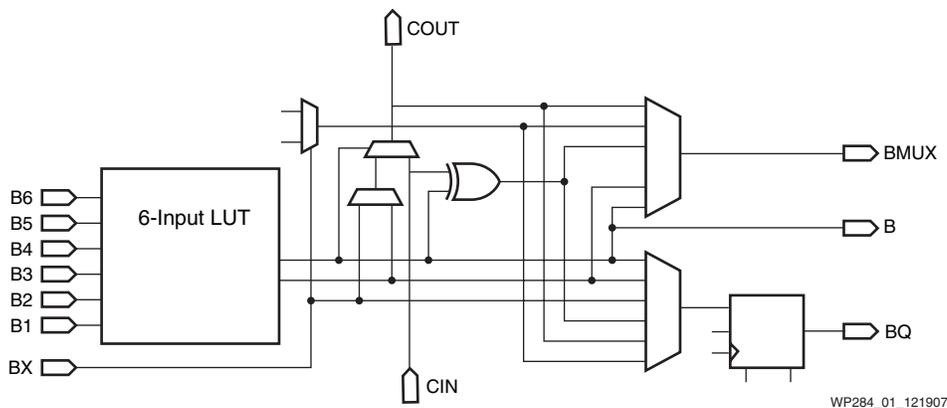


图 1: Virtex-5 FPGA 六输入 LUT 架构

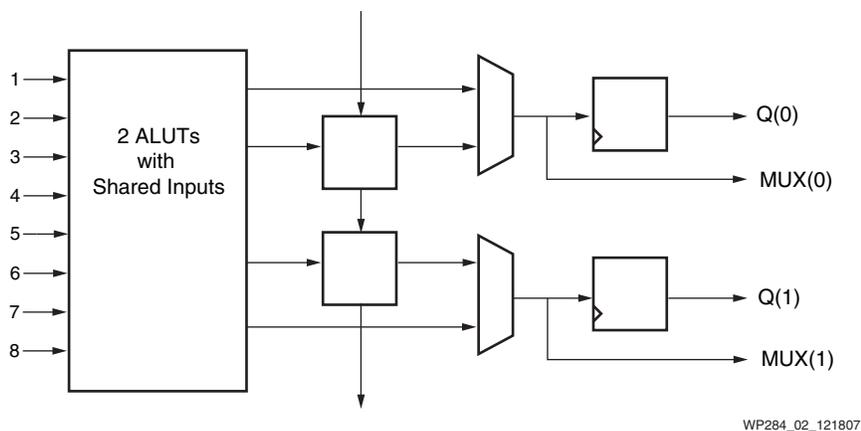


图 2: Stratix III ALM 架构

Xilinx 六输入 LUT 是共有 64 位逻辑编程空间和六个独立输入的查找表，能够实现任意六输入功能和一两个较小功能的多种组合。该六输入 LUT 还包括相关的进位逻辑、MUX 和触发器。该六输入 LUT 的某些逻辑部分也可用作 64 位 RAM 或 32 位移位寄存器。有关更多信息，请见 [UG190](#)：《Virtex-5 用户指南》。

Altera ALM 包括两个自适应 LUT (ALUT)，共有 64 位逻辑编程空间和八个共用输入，也能实现任意六输入功能和一两个较小功能的多种组合。该 ALM 还包括相关的加法器、MUX 和触发器。

六输入 LUT 和 ALM 是这些 FPGA 架构的基本逻辑构建模块，彼此非常相似，因而具有最佳可比性。

如果以加大硅片面积为代价，ALM 可提高灵活性，从而超过六输入 LUT 及其相关逻辑的功能。不过，因为 ALM 较大且制造成本较高，所以，与六输入 LUT 相比，在具有可比型号的器件中使用较少。最终影响特定器件总逻辑容量的是那些至关重要的衡量指标（请见表 1）。

每种客户设计都有一到六个或更多输入的特有功能组合，其输入信号共用量不同，算法逻辑和触发器要求也不同。而且，虽然 Virtex-5 FPGA 六输入 LUT 与 Stratix III ALM

架构具有相似的逻辑容量，但其潜在的实现却有诸多不同。因此，比较这两种架构的器件占用率（逻辑容量）的最精确且有效的方法是用一套客户设计进行公平的标准测试。

建立和分析公平的标准测试

建立有效而公平的 FPGA 标准测试套件需要：

- 代表各种目标市场的大量客户设计
- 一成不变的 RTL 代码，以避免可能偏袒某一架构的优化设置
- 使用各 FPGA 供应商推荐的工具集
- 对各 FPGA 供应商的工具集使用适当约束

用来生成白皮书中结果的 Xilinx 标准测试套件满足了所有这些要求。

97 个设计代表着高端 FPGA（其中包括 Virtex-5 和 Stratix III 器件）的主要市场。这些设计中约有 40% 是电信设计，另有 40% 是 DSP 设计，其余部分由工业、数据处理和处理器设计组成。这些设计大多代表着目前客户生产中使用的 FPGA 设计。其中少数是 ASIC 设计。

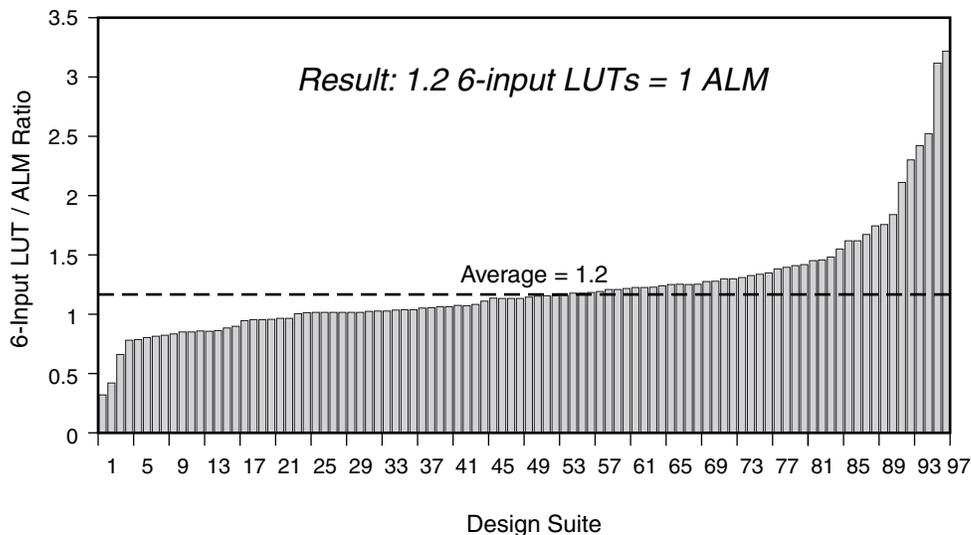
这套设计全部基于 RTL 代码（VHDL 和 Verilog）。其中几个设计包括用来实现 FIFO 和存储器的由 Xilinx CORE Generator™ 软件生成的 EDIF 网表。Stratix III 的同等功能是用 Quartus II MegaWizard 工具创建的。未对 RTL 代码进行任何旨在偏袒任一种 FPGA 架构的修改。

占用率标准测试是基于 Xilinx ISE 软件和 Altera Quartus II 软件的最新版本，使用了 Synplify Pro 网表。对各工具集使用了相应开关，以尽量缩小设计面积。

因为严格遵守了这一流程，所以本白皮书中记录的所得标准测试结果既精确又能代表实际的客户设计。

图 3 所示为在以上定义的标准测试套件上进行的六输入 LUT 与 ALM 架构之间的器件占用率比较。 y 轴所示为实现各设计所需的六输入 LUT 与 ALM 的比率。 x 轴是这套标准测试设计，按六输入 LUT 与 ALM 比率从低到高排列。

结果的范围是 0.3 到 3.2，标准偏差为 0.45，平均值（几何平均值）为 1.2。对于这一整套有代表性的客户设计，使用精确而公平的综合方法通过 Xilinx 和 Altera 两种工具尽量缩小设计面积，实现一个 ALM 的同等逻辑平均需要 1.2 个六输入 LUT。



WP284_03_121707

图 3: 占用率标准测试结果

这一孤立的比值没有意义。要具有意义，需要将其应用于完整 FPGA 器件的逻辑容量。如上所述，与一个具有相关逻辑的相应六输入 LUT 相比，每个 ALM 占用面积较大。因此，在具有可比尺寸的器件中，ALM 少于六输入 LUT。表 1 中是将标准测试平均值 1.2 应用于 Altera Stratix III 器件列表的情形，表中器件按逻辑容量增加顺序排列，并且将可比的 Virtex-5 和 Stratix III 器件对齐。

表 1: Virtex-5 与 Stratix III FPGA 的逻辑容量比较

Virtex-5 器件	六输入 LUT	Stratix III 器件数	ALM 数	等效的六输入 LUT 数
XC5VLX20T	12480			
XC5VLX30/XC5VLX30T	19200	3SL50	19000	22800
XC5VLX50/XC5VLX50T	28800	3SL70	27000	32400
XC5VLX85/XC5VLX85T	51840	3SL110	42600	51120
XC5VLX110/XC5VLX110T	69120	3SL150	56800	68160
XC5VLX155/XC5VLX155T	97280	3SL200	79560	95472
XC5VLX220/XC5VLX220T	138240			
		3SL340	135200	162240
XC5VLX330/XC5VLX330T	207360			

此分析表明，Virtex-5 器件的逻辑容量显著大于具有可比型号的 Stratix III 器件。

当然，任何标准测试套件，无论多么公平且具有客户设计代表性，都仅仅是代表而已。具体设计可能落在结果范围内的任何位置。因此，对于有意在 Virtex-5 与 Stratix III 器件之间进行器件占用率精确比较的所有客户，Xilinx 强烈建议通过每家公司各自的工具套件使用所有推荐的约束运行其自己的设计。

[WP248](#): 《Virtex-5 FPGA 的重定向指导原则》中提供了针对面积、速度、功耗和运行时间优化 Xilinx ISE 工具流程的指导原则。虽然本白皮书旨在将设计从 Virtex-4 重新定向到 Virtex-5 FPGA，但这些指导原则同样适用于新的 Virtex-5 设计。

为何 Altera 的占用率标准测试结果不同?

Altera 最近发表了题为 “Stratix III FPGA 与 Xilinx Virtex-5 器件：架构及性能比较” 的白皮书 (WP-01007-2.1, 2007 年 10 月, 版本 2.1)。Altera 在其技术文档中报告了标准测试结果, 其中显示 “Virtex-5 LUT- 触发器对” 与 “Stratix III ALM” 的占用率之比为 1.8; 然后, 该公司用此比率比较了 FPGA 的逻辑容量。

Altera 提供的 1.8 结果没有意义, 因为该公司的分析所比较的是 ALM 与 “LUT- 触发器” 对。从架构上讲, LUT- 触发器对是六输入 LUT 与其相关触发器的组合。而在 ISE 软件的综合报告中, 凡在综合设计中使用的六输入 LUT 或其相关触发器都计作一个 LUT- 触发器对。

这种分析不能为计数 Virtex-5 的逻辑占用率提供有意义的方法, 一条非常重要的理由是: 无法用 ISE 工具将六输入 LUT 数和触发器数人工合并成为最小 LUT- 触发器对数。事实上, ISE 软件工具常常将这些元件分布成尽量减少布线拥塞的形式, 从而尽量提高设计速度。如果只使用了 LUT- 触发器对中的六输入 LUT 或相关触发器, 那么另一元件仍可供使用。所以, 每当使用了二元件之一就将一个 LUT- 触发器对计为 “已使用” 的方法既不能提供器件占用率的准确情况, 也不能提供剩余器件容量的准确情况。

在 Xilinx 的标准测试套件中, 如果计数的是 LUT- 触发器对数 (而非六输入 LUT 数), 则最终的 LUT- 触发器对与 ALM 的比率是 1.84, 这非常接近已发表的 Altera 数字 1.8。这种 LUT- 触发器对的计数错误解释了为什么 Xilinx 与 Altera 的标准测试结果之间存在差异。

对于逻辑占用率比较, 最有意义的统计数字是 Virtex-5 FPGA 中的六输入 LUT 数和 Stratix III 器件中的 ALM 数。尽管 ALM 包括触发器, 但每个触发器必须使用来自其相关 ALUT 的一个输入来传输其输入信号。因此, 当独立使用其触发器时, 将无法使用整个或部分 ALUT。与此相反, 当独立使用 Virtex-5 FPGA 的触发器时, 其六输入 LUT 仍然完全可用, 因为每个触发器都具有可用的旁路输入。也就是说, 无论设计中有多少触发器, 可用的六输入 LUT 数和可用的 ALM 数都准确地代表着其各自器件的剩余逻辑容量。Xilinx 还曾打算将六输入 LUT 的占用率与 ALM 的逻辑部分占用率进行直接对比, 但 Quartus II 的日志文件未记述此信息。

这还应解释了为什么 ALUT 使用率不是有意义的器件占用率衡量指标, 尽管 Quartus II 报告以 ALUT 数为重点。Virtex-5 FPGA 中的六输入 LUT 是独立的功能单元, 而 Stratix III 中的 ALUT 则不是。每个 ALM 内的两个 ALUT 要共用输入, 而且还必须有其他需要共用的要素。综合结果中可见这种独立性的效果。在整个标准测试套件中, 每个 ALM 中平均仅使用了 1.3 个 ALUT, 这说明有很大一部分 ALUT 无法用于任何给定的客户设计 (请注意, 这些结果针对最小面积进行了优化)。因此, 所报告的 ALUT 使用率对于器件占用率的确定可能是一个误导性指标。

如果在六输入 LUT 与 ALM 之间进行有意义的比较, 即可得出每个 ALM 对应 1.2 个六输入 LUT 的比率。

提要

与同类架构相比, Virtex-5 FPGA 中的新型六输入 LUT 架构在资源占用率方面具有显著优势。这些优势说明, 与同类器件相比, 可以使用较小的 Virtex-5 FPGA 来实现同样的设计, 从而节省电路板空间并降低功耗和成本。

请需要协助以实现上述结果的客户与授权的当地 Xilinx 现场应用工程师联系, 以了解针对其应用的实现方法, 这些方法可以充分发挥 Xilinx ISE 软件工具套件和 Virtex-5 架构的灵活性。

修订历史

下表说明此技术文档的修订历史：

日期	版本	修订说明
2007 年 12 月 19 日	1.0	Xilinx 最初版本。

免责声明

The information disclosed to you hereunder (the "Information") is provided "AS-IS" with no warranty of any kind, express or implied. Xilinx does not assume any liability arising from your use of the Information. You are responsible for obtaining any rights you may require for your use of this Information. Xilinx reserves the right to make changes, at any time, to the Information without notice and at its sole discretion. Xilinx assumes no obligation to correct any errors contained in the Information or to advise you of any corrections or updates. Xilinx expressly disclaims any liability in connection with technical support or assistance that may be provided to you in connection with the Information. XILINX MAKES NO OTHER WARRANTIES, WHETHER EXPRESS, IMPLIED, OR STATUTORY, REGARDING THE INFORMATION, INCLUDING ANY WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, OR NONINFRINGEMENT OF THIRD-PARTY RIGHTS.