



XAPP851 (v1.1) 2006 年 7 月 14 日

使用 Virtex-5 FPGA 器件 实现 DDR SDRAM 控制器

作者：Toshihiko Moriyama 和 Rich Chiu

提要

本应用指南描述了在 Virtex™-5 器件中实现的 200 MHz DDR SDRAM (JEDEC DDR400 (PC3200) 标准) 控制器。本设计实现使用 IDELAY 单元调整读数据时序。读数据时序校准和调整在此控制器中完成。

DDR SDRAM 器件是低成本、高密度的存储资源，在很多存储器供应商处均可获得。本参考设计利用 DDR400 SDRAM 器件开发而成。

DDR SDRAM 描述

DDR SDRAM 规范的详情可在电子工业联盟 (Electronic Industries Alliance, EIA) 成员 JEDEC 机构的网站上获得，网址为 <http://www.jedec.org/>。DDR SDRAM 规范刊载在 JEDEC 技术文档中，文件名为 JESD79E 的参考文件。

DDR SDRAM 器件是硅片存储器资源，现在最经常用于各种系统，包括从消费产品到视频系统的各类应用。DDR SDRAM 器件的频率高达 200 MHz 或 DDR400。DRAM 器件有组件或模块两种配置。

DDR 控制器命令

表 1 所示为控制器发出的命令。这些命令通过使用下列控制信号传输到存储器：

- 行地址选择 ($\overline{\text{RAS}}$)
- 列地址选择 ($\overline{\text{CAS}}$)
- 写使能 ($\overline{\text{WE}}$)
- 时钟使能 (CKE) (器件配置后始终置为高)
- 芯片选择 ($\overline{\text{CS}}$) (器件运行期间始终置为低)

表 1: DDR SDRAM 命令

信号编号	功能	$\overline{\text{RAS}}$	$\overline{\text{CAS}}$	$\overline{\text{WE}}$
1	加载模式寄存器 (Load Mode Register)	L	L	L
2	自动刷新 (Auto Refresh)	L	L	H
3	预充电 (Precharge) ⁽¹⁾	L	H	L
4	选择组激活行 (Select Bank Activate)	L	H	H
5	读命令 (Read Command)	H	L	L
6	写命令 (Write Command)	H	L	H
7	空操作 (No Operation, NOP)	H	H	H

注：

1. 地址信号 A10 在预充电所有组期间设定为高，在单个组预充电期间设定为低。

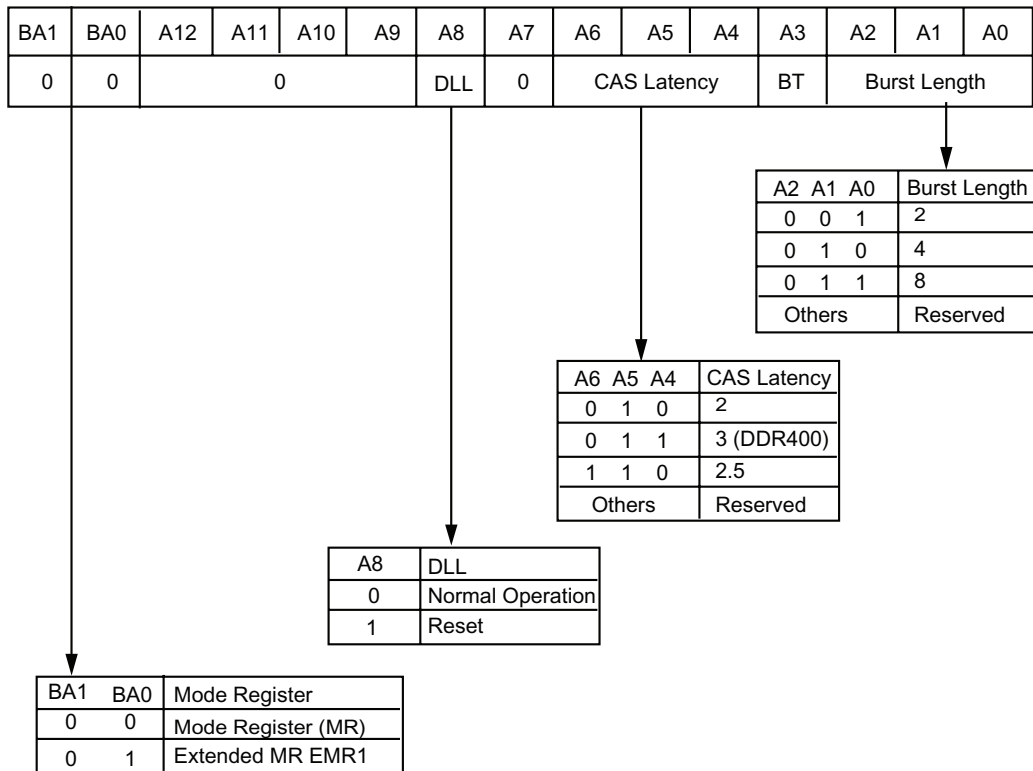
© 2006 Xilinx, Inc. All rights reserved. All Xilinx trademarks, registered trademarks, patents, and further disclaimers are as listed at <http://www.xilinx.com/legal.htm>. All other trademarks and registered trademarks are the property of their respective owners. All specifications are subject to change without notice.

NOTICE OF DISCLAIMER: Xilinx is providing this design, code, or information "as is." By providing the design, code, or information as one possible implementation of this feature, application, or standard, Xilinx makes no representation that this implementation is free from any claims of infringement. You are responsible for obtaining any rights you may require for your implementation. Xilinx expressly disclaims any warranty whatsoever with respect to the adequacy of the implementation, including but not limited to any warranties or representations that this implementation is free from claims of infringement and any implied warranties of merchantability or fitness for a particular purpose.

命令功能

模式寄存器

模式寄存器用于定义 DDR SDRAM 特定的运行模式，包括突发长度、突发类型、CAS 延迟和运行模式的选择。图 1 所示为此控制器所用的模式寄存器的功能。



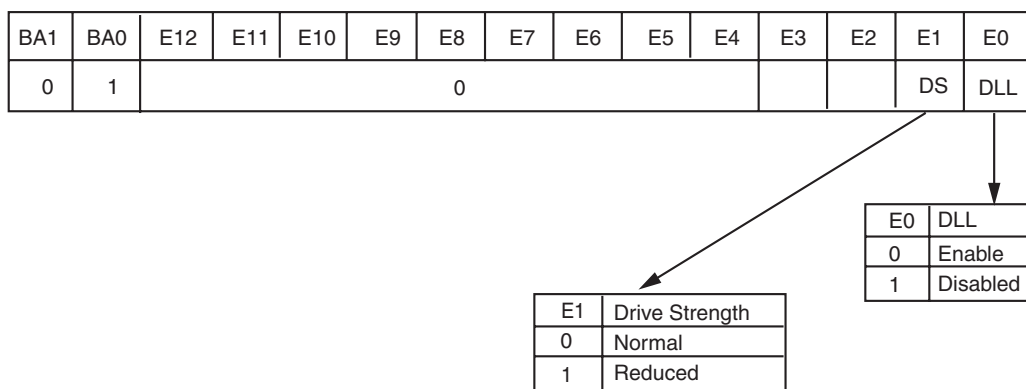
x851_01_031806

图 1: DDR400 的模式寄存器定义

组地址 (Bank Address) BA1 和 BA0 用于选择模式寄存器。图 1 显示了组地址位配置。

扩展模式寄存器

模式寄存器控制范围之外的功能由扩展模式寄存器控制。这些附加功能是用于 DDR SDRAM 接口的 DLL 使能 / 无效和输出驱动强度，如图 2 所示。

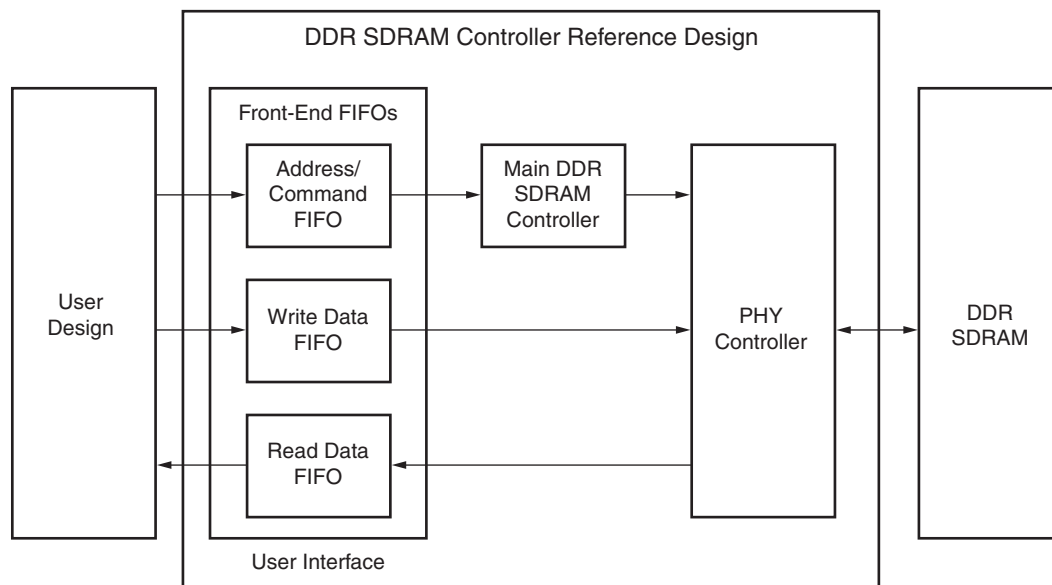


x851_02_031806

图 2: DDR400 的扩展模式寄存器

DDR SDRAM 存储器控制器参考设计

此 DDR SDRAM 存储器控制器参考设计由一个 PHY 层和一个主控制器层组成，如图 3 所示。PHY 层由存储器初始化逻辑和地址 / 命令 / 数据的 I/O 逻辑组成。读数据采集时序校准也是在 PHY 层完成的。主控制器层包括 DDR SDRAM 控制器状态机和用于地址 / 命令 / 数据的 FIFO 逻辑。



X851_03_050606

图 3: 参考设计 DDR SDRAM 存储器控制器的结构

DDR SDRAM 接口设计

DDR 控制器提供了一个基本类似于 FIFO 的用户接口，通过此接口用户可以发出命令、向 DDR 存储器提供写数据，或者接收其发出的读数据。用户接口的数据宽度为 DDR 存储器总线数据宽度的两倍，并在每个 FPGA 时钟周期内为 DDR 存储器控制器提供两个数据字。

DDR SDRAM 用户接口

后端用户接口包含三个 FIFO：

- 地址 / 命令 FIFO
- 写数据 FIFO
- 读数据 FIFO

前两个 FIFO 由不同用户的后端逻辑加载，而读数据 FIFO 由 PHY 控制器访问，以将采集的数据存储在每个读周期上。

表 2: 用户接口端口描述

端口名称	I/O	宽度	描述	说明
APP_ADDR	I	36	控制器执行的指令代码和命令地址。此端口的位映射如下所示： [31:0] 存储器地址（CS、组、行、列） [34:32] 动态命令请求（见表 4） [35] 未使用 – 预留以备后用的功能	在写到此 FIFO 之前，监控 APP_ADDR_AF 的近满 (almost full) 标志位
APP_ADDREN	I	1	APP_ADDR 的写 DQS	高有效
APP_ADDR_AF	O	1	地址 / 命令 FIFO 近满标志	高有效
APP_WR_DATA	I	数据带宽 × 2	写突发的写数据	
APP_DATAMASK	I	数据掩码带宽 × 2	对应于写数据的数据掩码	
APP_DATAEN	I	1	APP_WR_DATA/APP_DATAMASK 的写 DQS	高有效
APP_WRDATA_AF	O	1	写数据 FIFO 近满标志	高有效
APP_RD_DATA	I	数据带宽 × 2	读数据 FIFO 输出（采集到的读数据）	
APP_RD_VALID	O	1	置位后，显示出现在 APP_RD_DATA 上的采集到的读数据在当前时钟周期上为有效	高有效
CTRL_RDY	O	1	置位后，显示 PHY 接口逻辑已完成 SDRAM 初始化和读数据通路校准	高有效
PHY_ERROR	O	1	置位后，显示读数据通路校准过程中出现了一个错误	高有效

存储器地址 (APP_ADDR) 包括深存储器接口的列地址、行地址、组地址和芯片选择宽度，如表 3 所示。

警告! 存储器控制器不支持自动预充电，用户必须保证 APP_ADDR[10] 对于读和写命令始终为低。

表 3: 用户接口地址的比特分配

地址	比特分配
列地址	col_ap_width - 1 : 0
行地址	col_ap_width + row_address - 1 : col_ap_width

表 3: 用户接口地址的比特分配 (续表)

地址	比特分配
组地址	col_ap_width + row_address + bank_address - 1 : col_ap_width + row_address
芯片选择	col_ap_width + row_address + bank_address + chip_address - 1 : col_ap_width + row_address + bank_address

动态命令请求

表 4 所列为存储器控制器通过用户接口所支持的命令。注意：存储器控制器在相应的时刻会自动发出加载模式寄存、自动刷新、预充电和激活命令。但是这些命令也可通过用户接口手动发出。

表 4: 控制器支持的命令

APP_ADDR[34:32]	描述
000	加载模式寄存器
001	自动刷新
010	全部预充电
011	激活
100	写
101	读
110	NOP
111	NOP

DDR SDRAM 控制器接口

图 4 所示为 DDR SDRAM 命令生成状态机中的状态机。

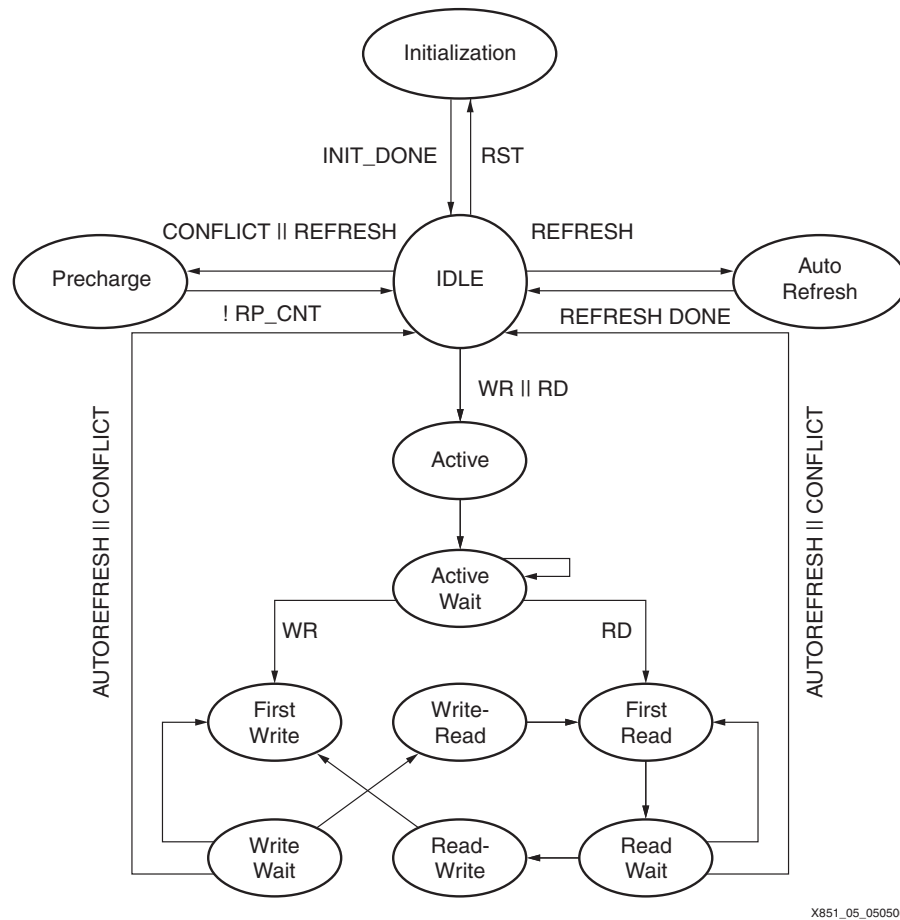


图 4: 主控制器状态机

在控制器向存储器发出命令之前要执行这些步骤：

1. 命令逻辑模块生成一个读 / 写命令。
2. 控制器向读 / 写地址 FIFO 发出读使能信号。
3. 如果所有组都已预充电，控制器会激活相应组中的某行；或将这些组、行地址与已处于活动状态的组、行地址进行比较。如果存在冲突，在进入读 / 写状态前，控制器会预充电活动的组，然后发出一个激活命令。
4. 进入写状态后，如果控制器检测到读命令，就会等 Write_to_Read 时间结束后再发出读命令。同样，在读状态中，发现来自命令逻辑模块的写命令后，控制器会等待 Read_to_Write 的时间，然后发送写命令。
5. 在发送到 DDR 存储器前，命令已经过流水处理而与地址信号同步。

表 5 所列为 SDRAM 控制器接口的设计文件。

表 5: DDR SDRAM 控制器设计文件

模块名称	文件名	描述
DDR1_TOP	ddr1_top.vhd	顶层模块
DDR1_PARAMETERS	ddr1_parameters.vhd	DDR SDRAM 存储器参数
DDR1_CONTROLLER	ddr1_controller.vhd	DDR SDRAM 存储器主控制器
DDR1_BACKEND_FIFOS	ddr1_backend_fifos.vhd	例化 ddr1_rd_wr_addr_fifo 和 ddr1_wr_data_fifo_16 模块
DDR1_RD_WR_ADDR_FIFO	ddr1_rd_wr_addr_fifo.vhd	读 / 写地址 FIFO
DDR1_WR_DATA_FIFO_16	ddr1_wr_data_fifo_16.vhd	写数据 FIFO

表 6 所列为 SDRAM 控制器接口的顶层 I/O 端口。

表 6: DDR SDRAM 控制器顶层端口描述

端口名称	I/O	描述
RST	I	请参阅第 8 页的“PHY 接口”了解有关信号描述的详情
CLK0	I	
CLK90	I	
CKE	O	
CK	O	
AD	O	
BA	O	
CS_n	O	
RAS_n	O	
CAS_n	O	
WE_n	O	
DM	O	
DQ	I/O	
DQS	I/O	
APP_ADDR	I	请参阅第 4 页的“DDR SDRAM 用户接口”了解有关信号描述的详情
APP_ADDR_EN	I	
APP_WR_DATA	I	
APP_DATA_MASK	I	
APP_DATA_EN	I	
APP_RD_DATA	O	
APP_RD_VALID	O	
APP_ADDR_AF	O	
APP_WR_DATA_AF	O	
CTRL_RDY	O	
PHY_ERROR	O	

PHY 接口

PHY 层包括 DDR SDRAM 存储器初始化状态机和读数据采集时序校准逻辑。上电后，DDR SDRAM 存储器初始化开始。初始化完成后，读数据采集时序校准开始。

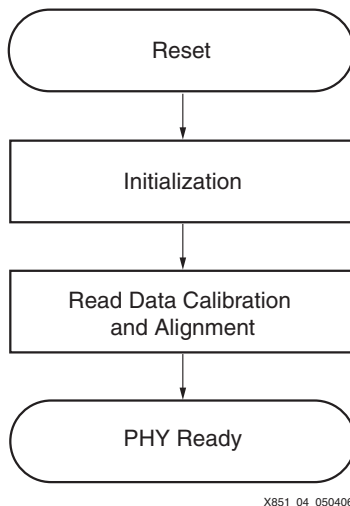


图 5: PHY 初始化状态机顺序

初始化

DDR SDRAM 必须在执行读和写操作之前必须进行初始化。如图 6 所示，当高有效复位信号被设置成高到低 (High-to-Low) 时，控制器将开始存储器的初始化。存储器初始化顺序由 JEDEC 规范做了定义。

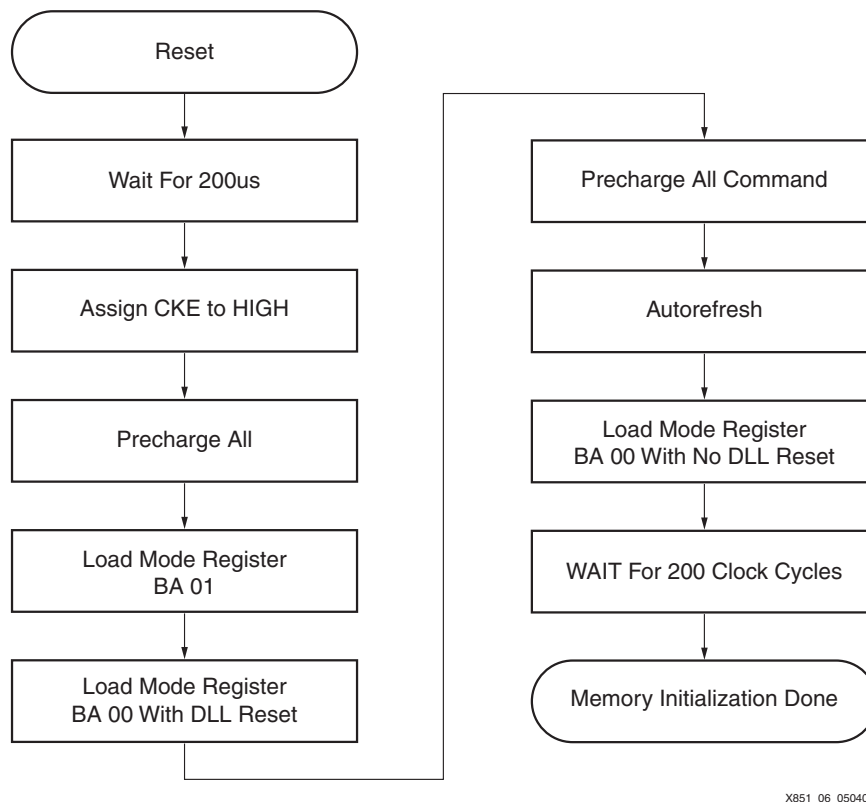


图 6: 存储器初始化状态机顺序

读数据采集时序校准

校准完毕后，读数据和 DQS 信号将被采集。接着，读数据必须从 DQS 时钟域传输到 FPGA 时钟 (CLK0) 域。但是 DQS 并没有与 FPGA 时钟预先确定的关系。为了完成上述传输，必须对 DQ/DQS 进行相移，以允许 FPGA 时钟在不违反时序的情况下采集 DQ 数据。如图 7 所示，DQ 数据由 DQS 信号采集并与 IDDR 寄存器同步。

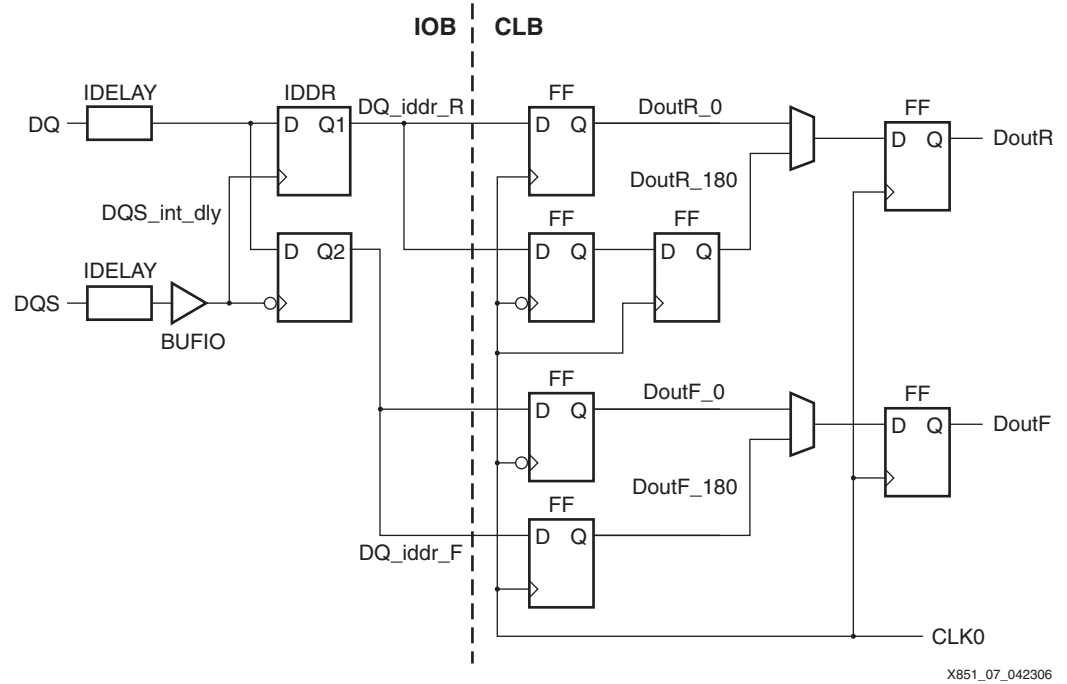


图 7: 读数据采集时钟

DQS 信号通过一个延迟电路和 BUFIO 被布线，并为 IDDR 时钟提供信号输入。DQ_iddr_R 是由 DQS 上升沿所采集的 IDDR 输出信号。DQ_iddr_F 是由 DQS 下降沿所采集的 IDDR 输出信号。这些 DQ_iddr_R、DQ_iddr_F 信号并未与 CLK0 相位对齐。本参考设计中的校准逻辑通过延迟 DQ 和 DQS 的信号，来获得与 CLK0 时钟同步。这种对齐的方法有四种可能的情况。

情况 1. CLK0 位于 DQS 的 90° 到 180° 位置内。这种情况下，使用 IDELAY 为 DQ 和 DQS 添加 0° 到 90° 的延迟。

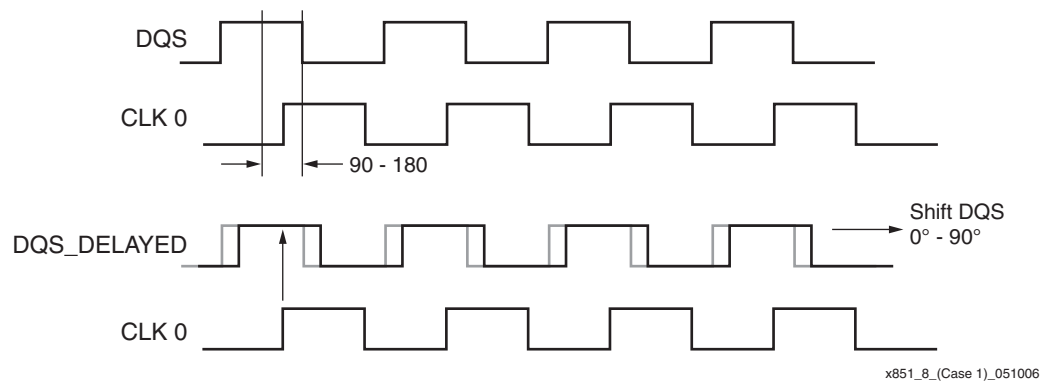


图 8: 情况 1 - DQS 和系统时钟相位关系

情况 2. CLK0 位于 DQS 的 180° 到 270° 位置内。这种情况下，使用 IDELAY 为 DQ 和 DQS 添加 90° 到 180° 的延迟。

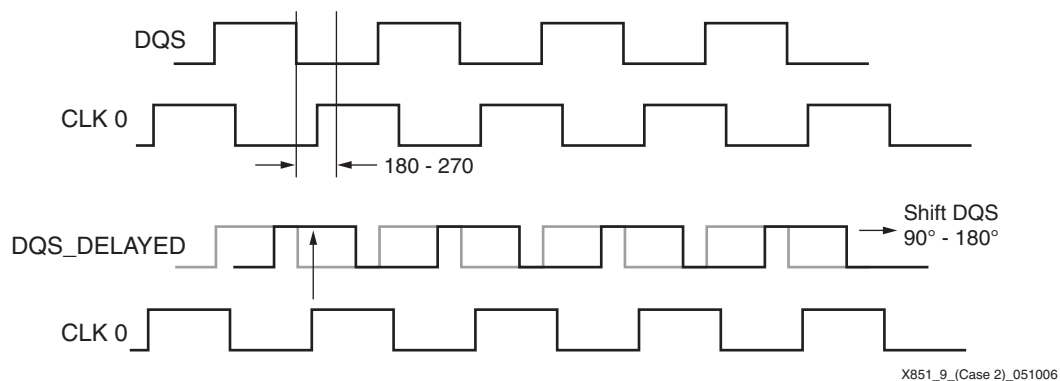


图 9: 情况 2 - DQS 和系统时钟相位关系

情况 3. CLK0 位于 DQS 的 270° 到 360° 位置内。这种情况下，使用 IDELAY 为 DQ 和 DQS 添加 0° 到 90° 的延迟，并使用 CLK0 的反沿 (opposite edge) 来采集 DQ。

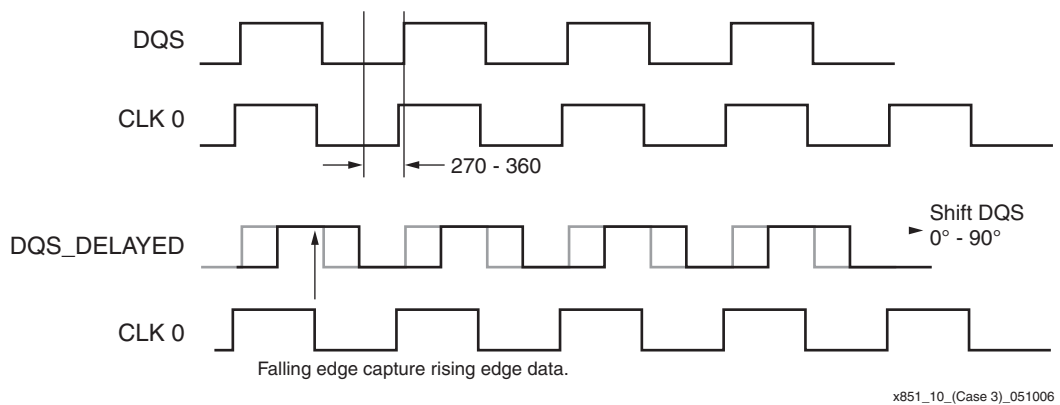


图 10: 情况 3 - DQS 和系统时钟相位关系

情况 4. CLK0 位于 DQS 的 0° 到 90° 位置内。这种情况下，使用 IDELAY 为 DQ/DQS 添加 90° 到 180° 的延迟，并使用 CLK0 的反沿来采集 DQ。

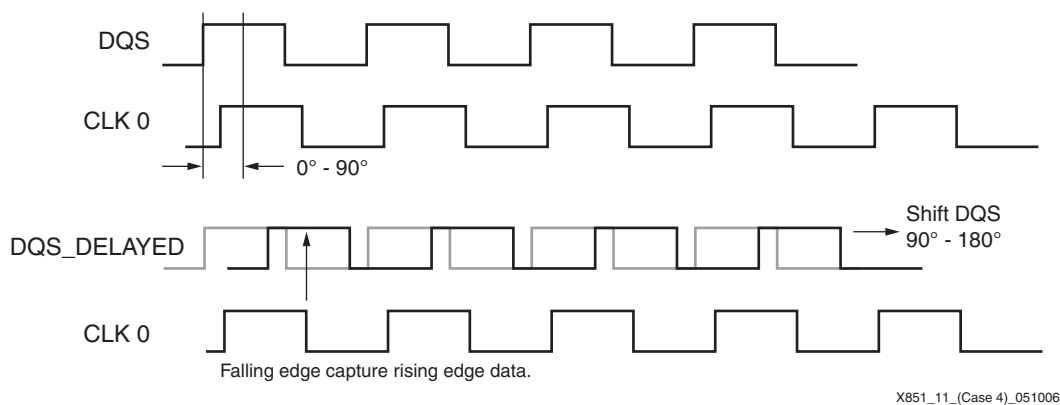


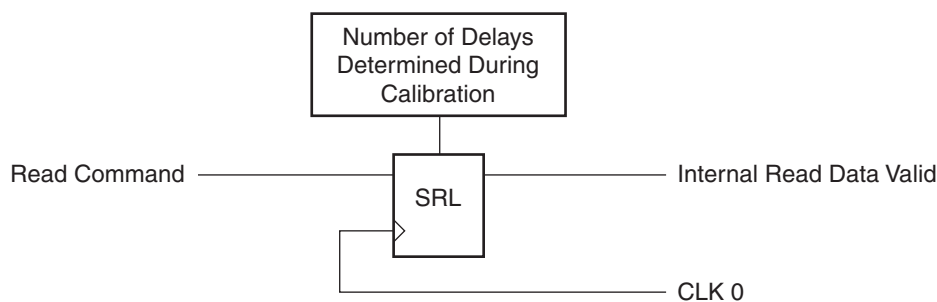
图 11: 情况 4 - DQS 和系统时钟相位关系

读使能时序校准

FPGA 和存储器之间的延迟量由多种环境因素所决定（如：用户电路板布局和 PCB 迹线长度）。所以，当控制器向存储器发出读命令时，它并不确定有效数据将在哪一个 FPGA 时钟周期到达 FPGA。由于 DDR SDRAM 器件在提供读数据时并不同时提供读有效和读使能信号，所以有必要进行校准以决定在哪一个 FPGA 时钟周期读数据是有效的。这一读使能信号基于 CAS 延迟和突发长度，并可补偿不同用户的存储器和 FPGA 之间的延迟。读使能信号与读数据采集模块的输出对齐所需的寄存器级数在校准过程中确定。一个内部读使能信号将针对每个数据字节生成。图 12 所示为读使能逻辑框图。此参考设计包含了能在初始化阶段通过训练来调整读使能时序的逻辑。

- 控制器把一个固定的数据模式 (pattern) 写入存储器上，这是在读使能校准过程中用作“训练”模式。
- 数据从存储器中读回，然后读数据和原始训练模式对比。
- 读使能信号被延迟，直到从读数据采集模块收到的数据输出和训练模式相匹配为止。
- 由于不同的字节可能产生不同的读使能延迟，对于特定的字节，可能有必要将读数据采集模块的读数据输出延迟，以使整个读字在同一个 FPGA 时钟周期到达内部读数据 FIFO。

读数据采集和读使能校准完成后，PHY 控制器进入就绪状态，准备接收从主控制器发出的用户命令。



X851_12_050506

图 12: 读使能

时序分析

读数据 DQ 由 DQS 采集并被传输到 FPGA 时钟域，如第 9 页的“读数据采集时序校准”所示。读数据和时钟时序的关系如表 7 所示。

表 7: 读数据时序分析

参数	符号	时间 (ps)
时钟周期	t_{CK}	5000
DDR SDRAM 存储器		
数据周期 (占空比 0.45:0.55)	$t_{CK \times 0.45}$	2250
CK/ \overline{CK} 的 DQS 访问窗口总计	t_{DQSCK}	1200
DRAM 不确定度总计		1200
FPGA		
BUFIO 时钟树歪斜		TBD
系统时钟抖动	$t_{PERJITT_0}$	TBD
IDDR 输出到 CLB FF 歪斜		TBD
Tap 不确定度 (± 1 IDELAY tap 计数)	$t_{IDELAYRESOLUTION}$	TBD
FPGA 不确定度总计		TBD
不确定度总计		TBD
DQ 窗口余量		TBD

PHY 代码结构

由于 PHY 层和主控制层是分离的，所以 PHY 层可以独立使用。当此 DDR 控制器设计中的 PHY 层独立使用时，如表 8 和图 13 所示的 PHY 层结构必须包含于一个独立的控制器中。在此例中，诸如开 / 关行管理、存储器刷新、读和写访问时序等功能都必须由独立的控制器进行管理。

表 8: PHY 设计文件

模块名称	文件名	描述
PHY_TOP	phy_top.vhd	PHY 接口顶部
PHY_ADR_OUT	phy_adr_out.vhd	地址和组信号 IOB FF
PHY_CTRL_OUT	phy_ctrl_out.vhd	控制信号 IOB FF
PHY_DATA_WRITE	phy_data_write.vhd	写数据通路
PHY_DATA_READ	phy_data_read.vhd	读数据通路
PHY_DQ_ALIGN	phy_dq_align.vhd	读数据采集时序校准逻辑
PHY_RDEN_ALIGN	phy_rden_align.vhd	读使能对齐信号
PHY_PTN_GEN	phy_ptn_gen.vhd	读采集时序校准的模式生成器
PHY_INIT	phy_init.vhd	DDR SDRAM 存储器初始化状态机

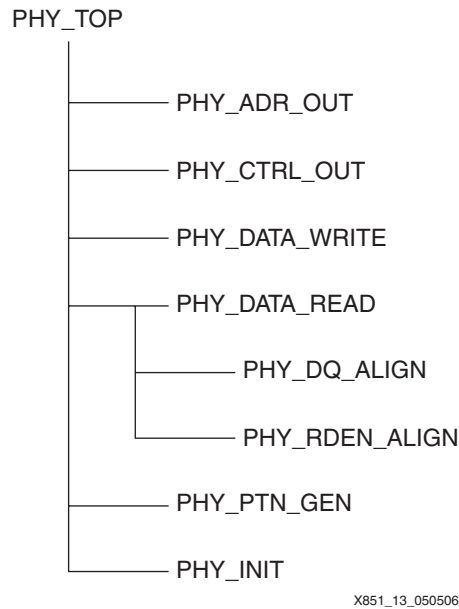


图 13: PHY 层代码结构

PHY 层包含了用于和 DDR SDRAM 通讯的所有 I/O 端口控制。这些端口的列表及其描述如表 9 所示。

表 9: PHY 层 I/O 端口和信号描述

端口名称	I/O	描述
RST	I	同步复位
CLK0	I	主时钟 (BUFG 时钟)
CLK90	I	90 度相移时钟 (BUFG 时钟)
PHY_ADDR_IN	I	行地址 / 列地址 IOB FF
PHY_BANK_IN	I	组选择
PHY_CS_N_IN	I	CS_N 信号定义和存储器信号定义相同
PHY_RAS_N_IN	I	RAS_N 信号定义和存储器信号定义相同
PHY_CAS_N_IN	I	CAS_N 信号定义和存储器信号定义相同
PHY_WE_N_IN	I	WE_N 信号定义和存储器信号定义相同
PHY_WR_DATA_IN	I	写数据
PHY_WR_EN_IN	I	当此信号为高时, 写数据启用
PHY_WR_DM_IN	I	数据掩码位
PHY_RD_DATA_O	O	读数据
PHY_RD_VALID_O	O	读数据有效
CKE	O	连接到存储器 CKE 引脚
CK	O	连接到存储器 CK 引脚
AD	O	连接到存储器 AD 引脚
BA	O	连接到存储器 BA 引脚
CS_N	O	连接到存储器 CS_n 引脚
RAS_N	O	连接到存储器 RAS_n 引脚

表 9: PHY 层 I/O 端口和信号描述 (续表)

端口名称	I/O	描述
CAS_N	O	连接到存储器 CAS_n 引脚
WE_N	O	连接到存储器 WE_n 引脚
DM	O	连接到存储器 DM 引脚
DQ	I/O	连接到存储器 DQ 引脚
DQS	I/O	连接到存储器 DQS 引脚

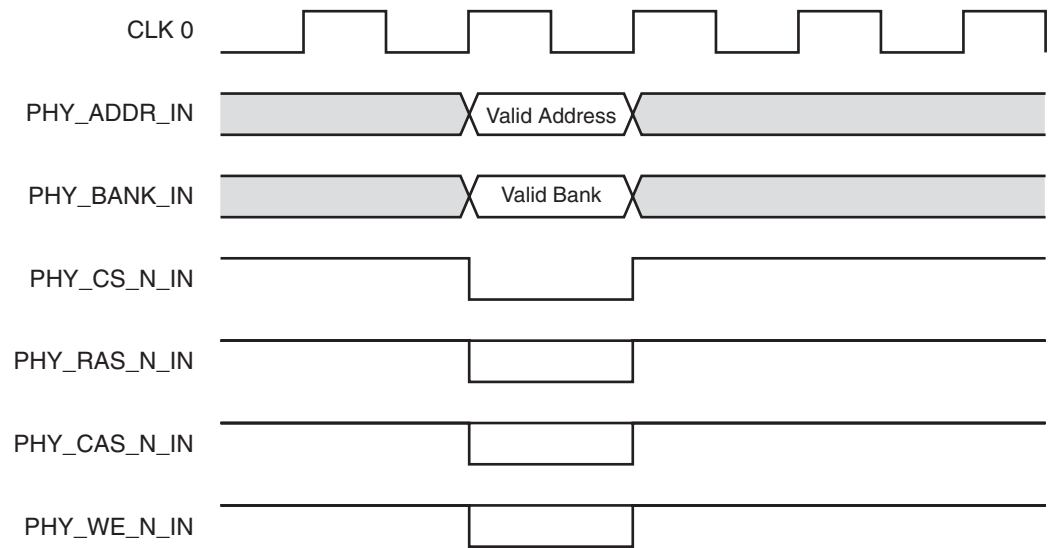
PHY 用户接口

当 PHY 完成初始化和校准后，控制器层就可以发出命令了。部分可用命令如下所示：

- ◆ “通用命令时序”
- ◆ “数据写”
- ◆ “数据读”

通用命令时序

DDR SDRAM 命令（例如刷新和激活）的时序如图 14 所示。请参阅第 1 页的表 1 了解不同 DDR SDRAM 命令的信号逻辑级数。



X851_14_050406

图 14: DDR SDRAM 访问时序

数据写

向 PHY 接口发出写命令时，控制器层将有效地址、组、控制信号和有效数据发送到 PHY。这些信号应在同一个时钟周期上发出。当突发长度为 4 或 8 时，置位 PHY_WR_EN_IN 的同时，在接着的时钟周期内输入写数据。

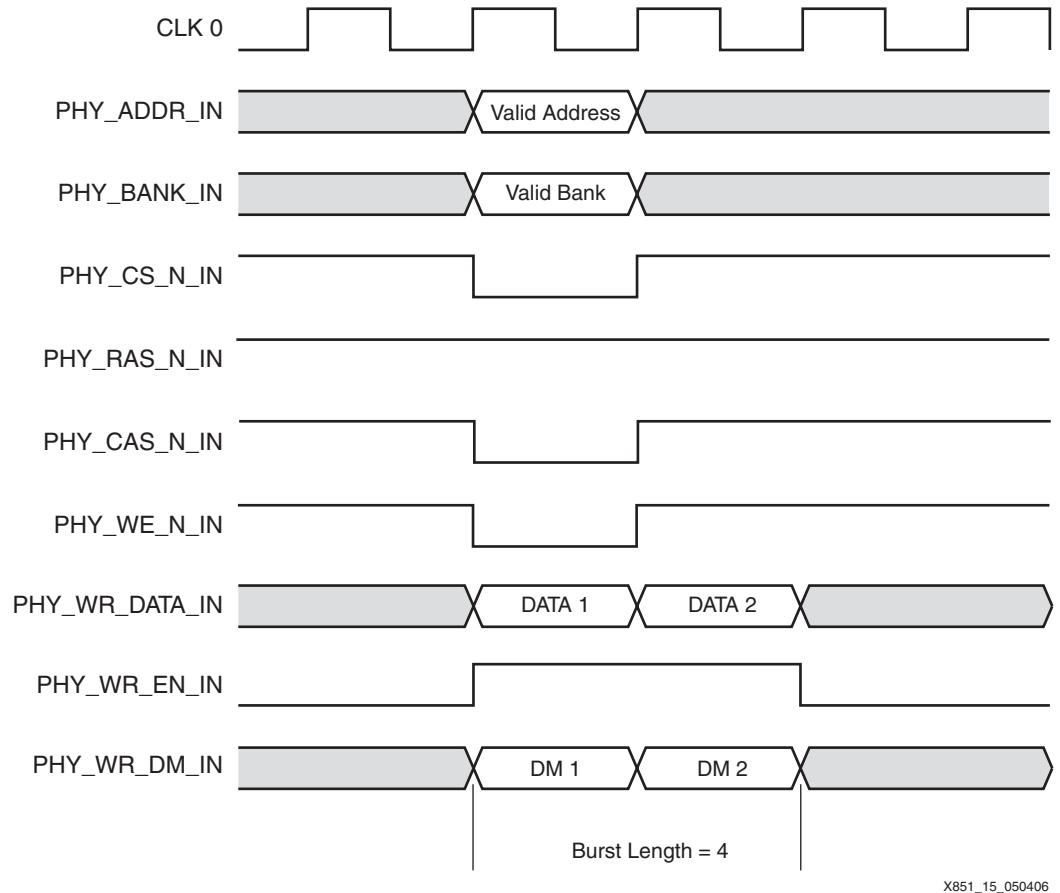


图 15: 写命令时序 (突发长度 = 4)

数据读

READ 命令发送到 PHY 层以后，PHY 层将读数据反馈给存储器。当 PHY_RD_VALID_O 在同一个时钟周期内置位时，PHY_RD_DATA_O 端口上的读数据才有效。读命令的延迟因读使能校准结果的差异而有所不同。

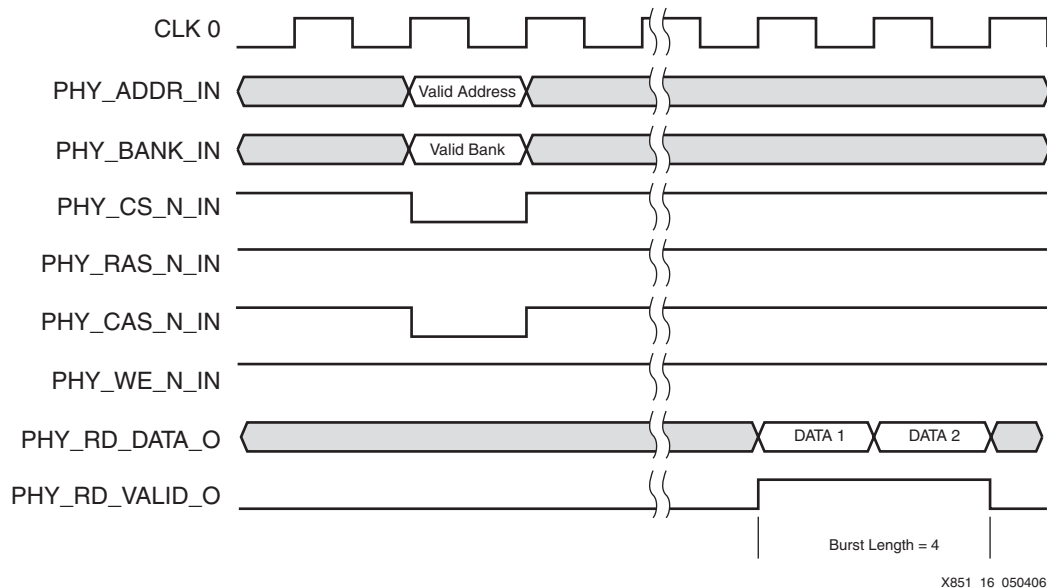


图 16: 读命令时序 (突发长度 = 4)

参考设计规范

应用 200 MHz DDR SDRAM 控制器的参考设计可从以下网站下载：

<http://www.xilinx.com/cn/bvdocs/appnotes/xapp851.zip>

表 10 所列为此参考设计的规范。

表 10: 参考设计的资源利用率

参数	规格 / 详情
运行频率	200 MHz (DDR400 – PC3200)
支持 CAS 延迟	2、2.5 和 3
HDL 语言	VHDL
总线宽度	16 位
用于组件验证的器件	Micron MT46V32M16FN-5

修订历史

下表说明此技术文档的修订历史。

日期	版本	修订
2006 年 5 月 12 日	1.0	Xilinx 最初版本。
2006 年 7 月 14 日	1.1	添加参考设计文件链接。表 2 中新增 APP_DATAEN。重新编写“读数据采集时序校准”中的简介。